VME - AIO16

16 analoge Eingänge und
4 analoge Ausgänge
mit 16 (12) Bit Auflösung

Hardware-Handbuch

Der Inhalt dieses Handbuches wurde mit größter Sorgfalt erarbeitet und geprüft. esd übernimmt jedoch keine Verantwortung für Schäden, die aus Fehlern in der Dokumentation resultieren könnten. Insbesondere Beschreibungen und technische Daten sind keine zugesicherten Eigenschaften im rechtlichen Sinne.

esd hat das Recht, Änderungen am beschriebenen Produkt oder an der Dokumentation ohne vorherige Ankündigung vorzunehmen, wenn sie aus Gründen der Zuverlässigkeit oder Qualitätssicherung vorgenommen werden oder dem technischen Fortschritt dienen.

Sämtliche Rechte an der Dokumentation liegen bei esd. Die Weitergabe an Dritte und Vervielfältigung jeder Art, auch auszugsweise, sind nur mit schriftlicher Genehmigung durch esd gestattet.

esd electronic system design gmbh
Vahrenwalder Str. 205
D-30165 Hannover

Tel.: 0511/37298-0
FAX : 0511/633650
email: pm@esd.h.eunet.de

beschriebene Platinenversion	AIO16-2

Änderungen in den Kapiteln

Die hier aufgeführten Änderungen im Anwenderhandbuch betreffen sowohl Änderungen in der **Hardware** als auch reine Änderungen in der **Beschreibung** der Sachverhalte.

Kapitel	Änderungen gegenüber Handbuch-Revision 3.0
1.2.5	Überarbeitung der Software-Übersicht.

Weitere technische Änderungen vorbehalten.

Inhalt

Seite

1. Übersicht 3
1.1 Blockschaltbild 3
1.2 Zusammenfassung der technischen Daten 5
1.2.1 Allgemeines 5
1.2.2 Mikroprozessor-Baugruppen 6
1.2.3 Analoge Eingänge 7
1.2.4 Analoge Ausgänge 8
1.2.5 Echtzeit-Software 9
1.3 Bestellinformationen 10

2. Platinenansicht und Konfigurationssteckbrücken 11
2.1 Default-Einstellung der Brücken 13
2.2 Auswertung des VMEbus-Signals 'LWORD*' (BR101) 14
2.3 Festlegung der Basisadresse und der Address Modifier über BR102 15
2.4 Zeitverhalten lokaler Steuersignale (BR201) 17
2.5 Freigabe des SYSFAIL-Ausgangs auf den VMEbus (S2) 17
2.6 Speicherkapazität des EPROMs (J501) 18
2.7 Speicherkapazität der SRAM-Bausteine (J502) 19

3. Adreßbelegung der AIO16 21
3.1 Adreßbelegung der lokalen CPU 21
3.2 Shared-Adreß-Bereich (Adressen der lokalen CPU und des VMEbus) 22
3.3 Hinweise zum Shared-Adreß-Bereich 24

4. Beschreibung der Baugruppen 25
4.1 Interrupt-Verarbeitung 25
4.1.1 Belegung der Interrupt-Eingänge der CPU 68340 25
4.1.2 VMEbus-Slave-Interrupt-Logik 26
4.1.2.1 Erzeugung eines VMEbus-Interrupts 26
4.1.2.2 Programmieren des VMEbus-Interrupt-Vektors 27
4.1.2.3 Erzeugung eines lokalen Interrupts vom VMEbus aus 27
4.2 Spannungsüberwachung und RESET 28
4.3 Serielle Schnittstellen 29
4.3.1 Konfiguration 29
4.3.2 Anschluß der seriellen Schnittstellen 30
4.3.2.1 Erste RS232-Schnittstelle (Port 1) 30
4.3.2.2 Zweite RS232-Schnittstelle (Port 2) 30
4.4 Beschreibung der I/Os 31
4.4.1 Signale zum Starten der A/D-Wandlung und Setzen des D/A-Wandlers 31
4.4.2 Analoge Eingänge 33
4.4.3 Trigger-Eingang 36
4.4.4 Analoge Ausgänge 37

Inhalt

Seite

5. Anhang 39
5.1 Steckerbelegungen 39
5.1.1 VMEbus P1 39
5.1.2 I/O-Stecker P2 40
5.1.3 Bedeutung der Signale auf P2 41
5.1.4 Serielle Schnittstellen Port 1 und Port 2 42
5.1.4.1 Belegung der 9poligen DSUB-Buchse X2 42
5.1.4.2 Belegung der 10poligen Pfostenleiste X3 43
5.1.5 RESET-Taster-Anschluß (S401) 44
5.1.6 BDM-Schnittstelle (X1) 44
5.1.7 Steckverbinder für A/D-Wandler-Add-On (P3, P4) 45
5.1.8 Steckverbinder für DSP-Add-On (P5, P6, X4) 46
5.2 Frontplatte 47
5.3 Stromlaufpläne 49
5.4 Datenblätter 51

1. Übersicht

1.1 Blockschaltbild

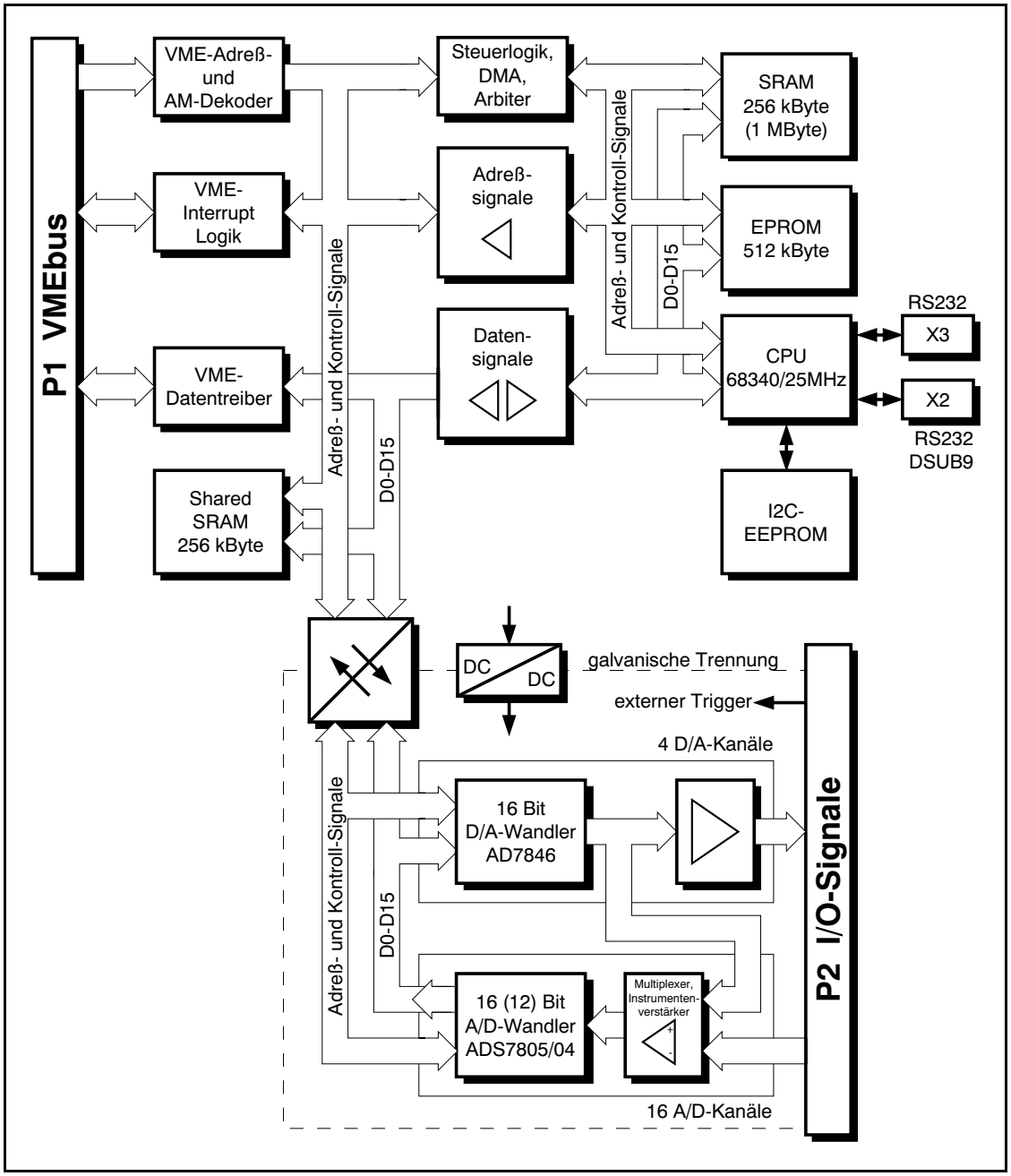


Abb. 1.1.1: Blockschaltbild der AIO16

Übersicht

Die VME-AIO16 ist eine intelligente VMEbus-Baugruppe, die wahlweise mit 6 oder mit 16 analogen differentiellen Eingängen lieferbar ist. Sie ist ideal zur schnellen flexiblen Signalerfassung einsetzbar.

Die Platine ist mit einer lokalen CPU 68340 mit einer Taktfrequenz von 25 MHz zur Abarbeitung komplexer Datenerfassungsalgorithmen ausgestattet. Die CPU-Baugruppe der AIO16 beinhaltet 256 kByte SRAM, EPROM und zwei RS-232-Schnittstellen. Konfigurationsparameter können in einem I²C-EEPROM gespeichert werden. Daneben verfügt die AIO16 über 256 kByte Shared-SRAM, das die Schnittstelle zwischen lokaler CPU und VMEbus bildet.

Die AIO16 wurde für A/D-Wandler mit 16 Bit Auflösung konstruiert, ist aber auch mit 12 Bit Auflösung lieferbar. Der Eingangsspannungsbereich beträgt ±10 V. Über Variationen in der Widerstandsbestückung sind auch andere Spannungsmeßbereiche und Strommessungen (± 20 mA) möglich.

Die A/D-Wandler lassen sich über ein externes Trigger-Signal synchronisieren. Selbstverständlich ist auch ein Triggern per Software möglich.

Mit der mitgelieferten Software sind folgende Abtastfrequenzen erreichbar: Die maximale Abtastfrequenz, vom Trigger-Signal bis zum Eintreffen der A/D-Daten im SRAM, beträgt bei synchroner Abtastung aller 16 Kanäle 33 kHz. Bei Beschränkung auf die gleichzeitige Abtastung von 8 Kanälen beträgt die maximale Abtastfrequenz 40 kHz und bei einem Kanal 45 kHz.

Zusätzlich zu den analogen Eingängen besitzt die AIO16-Baugruppe 4 bipolare ±10-V-D/A-Wandler-Ausgänge mit einer Auflösung von 16 Bit. Diese D/A-Wandler sind intern zur Kalibrierung und Offseteinstellung der Eingangsverstärker nutzbar. Je ein D/A-Wandler-Kanal kann hierzu über Multiplexer auf vier A/D-Eingänge geschaltet werden. Selbstverständlich können die D/A-Wandler-Ausgänge auch direkt als Prozeß-Ausgänge verwendet werden.

Die vollständige galvanische Trennung aller analogen Ein- und Ausgänge, rückseitige P2-Verdrahtung, eigene Spannungsversorgung mit DC/DC-Wandlern und die LED-Anzeigen auf der Frontplatte machen die VME-AIO16 ideal geeignet für den industriellen Einsatz.

1.2 Zusammenfassung der technischen Daten

1.2.1 Allgemeines

VMEbus-Interface	IEEE 1014 / C.1
Data-Transfermode	SD16 - Slave mit A24/D16-Zugriff, Steckbrücke für Pseudo-D32-Zugriffe
Temperaturbereich	max. zulässige Umgebungstemperatur: 0...50 °C
Luftfeuchtigkeit	max. 90%, nicht kondensierend
Steckverbinder	P1 - DIN 41612-C96 (VMEbus) P2 - DIN 41612-C64 (Prozeß-I/Os) P3 - Buchsenleiste 1 x 32 (A/D-Add-On) P4 - Buchsenleiste 2 x 25 (A/D-Add-On) P5 - Buchsenleiste 2 x 20 (optional für DSP-Add-On) P6 - Buchsenleiste 2 x 20 (optional für DSP-Add-On) X1 - 10poliger Pfostenstecker (BDM-Interface) X2 - DSUB9/Buchse (1. serielle Schnittstelle in Frontplatte) X3 - 10poliger Pfostenstecker (2. serielle Schnittstelle) X4 - Stiftleiste 1 x 6 (optional für DSP-Add-On)
Größe der Platine	160 mm x 233 mm
Einschubformat	6 HE hoch / 4 TE breit
Gewicht	ca. 750 g
Bauteil-Ausführung	SMD
Spannungsversorgung	VMEbus P1: 5 V ±5% / 1,0 A VMEbus P1: +12V ±5% -12V ±5% Versorgungsspannung der analogen Baugruppen (±15 VDC, +5 VDC) werden mit DC/DC-Wandlern aus +12 V (VME) erzeugt Versorgungsspannung der Optokoppler (+5 VDC) wird über DC/DC-Wandler aus +5 V (VME) erzeugt

1.2.2 Mikroprozessor-Baugruppen

CPU	16 / 32 Bit - µController 68340 / 25 MHz
SRAM	für lokale CPU: 256 kByte (optional 1 MByte)
Shared SRAM	Shared RAM als Kommunikationsschnittstelle: Zugriff über VMEbus, lokale CPU und DSP möglich, Kapazität: 256 kByte
EPROM	512 kByte, Organisation: 256k x 16, Zugriffszeit ≤ 120 ns
Watchdog	intern in CPU 68340
Interrupts	Interrupts auf VMEbus, Level programmierbar, Interrupt-Handler für Mailbox-Interrupts vom VMEbus
Serielle Schnittstellen	2 serielle Schnittstellen RS232C, maximal 38,4 kBaud
DSP	optional als Add-On bestückbar, Typ 5600x (Das DSP-Add-On wird zur Zeit (01/97) nicht unterstützt.)
I^2C-EEPROM	zur Speicherung von Konfigurationsdaten

1.2.3 Analoge Eingänge

Auflösungs-Optionen	16 Bit	12 Bit
eingesetzte A/D-Wandler	ADS7805U	ADS7804U
Linearität (integral)	≤ +2 LSB (+ΔU_{MAX}≤610 µV) ≤ -1 LSB (- ΔU_{MAX}≤305 µV)	≤ ± 0,45 LSB (ΔU_{MAX} ≤ 2,2 mV)
Offset-Fehler Gain-Fehler (werden durch lokale Firmware korrigiert)	≤ 10 LSB ≤ 10 LSB	Bipolar Zero Error: ±10 mV Full Scale Error: ±0,5 %
digitales Rauschen	≤ ±4 LSB	keine Angabe
Anzahl der Kanäle	maximal 16, davon 6 auf Basisplatine und 10 auf Add-On bestückt	
Eingangs-meßbereich	±10 V, Option: Andere Verstärkungsfaktoren über Änderung der Widerstands-bestückung möglich Option: Shunt 500 Ω/0,1% zur Strommessung	
Anschlußtechnik	differentiell	
Abtastrate	programmierbar bis max. 33 kHz bei Nutzung aller 16 Kanäle, d.h. alle 30µs 16 neue Datenworte, Abtastrate der 16 Kanäle bei automatischer Offset- und Gain-Fehler-Korrektur: 10kHz (8 Kanäle: 15 kHz)	
Trigger	internes oder externes Trigger-Signal (+5 V) zum Starten der Wandlung	
Spannungs-festigkeit	Eingänge sind Spannungsfest bis ± 35 V gegen GND	
Kalibrierung/ Multiplexer	Multiplexer, um externe analoge Eingangssignale (P2), Signale der analogen Ausgangskanäle, GND oder die Referenzspannung an die A/D-Wandler zu schalten	
Galvanische Trennung	über DC/DC-Wandler und Optokoppler werden die Baugruppen der Eingänge vom VMEbus-Potential getrennt, Bezugsspannung gegenüber VMEbus-Potential nach VDE 0110b §8, Isolationsgruppe C: 300 VDC / 250 VAC	

1.2.4 Analoge Ausgänge

Anzahl der Kanäle	4
D/A-Wandler	AD7846
Ausgangsspannungs-bereich	±10 V
Bürde	$R_L \geq 600\ \Omega$
Anschlußtechnik	gemeinsames Bezugspotential der 4 Ausgänge
Auflösung	16 Bit
Linearität und Genauigkeit	≤ ± 2 LSB ΔU ≤ 610 µV
Galvanische Trennung	über DC/DC-Wandler und Optokoppler werden die Baugruppen der Ausgänge vom VMEbus-Potential getrennt, Bezugsspannung gegenüber VMEbus-Potential nach VDE 0110b §8, Isolationsgruppe C: 300 VDC / 250 VAC

1.2.5 Echtzeit-Software

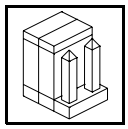
Die Firmware für die lokale CPU bietet neben einer Shared-RAM-Schnittstelle, die Möglichkeit die Abtastrate, die Trigger-Bedingung usw. zu parametrieren. Die Parametrierung erfolgt über den VMEbus.

Durch die mehrkanalige Shared-RAM-Schnittstelle ist auch die Implementierung in unterschiedliche Master-Betriebssysteme wie z.B. OS-9, UNIX, PDOS, VxWorks, VRTX32 oder RTOS-UH einfach zu realisieren. C-Treiber können zur Verfügung gestellt werden.

Die Software wird in einem eigenen Handbuch beschrieben.

1.3 Bestellinformationen

Typ	Eigenschaften	Bestell-Nr.
VME-AIO16	CPU 68340 / 25 MHz, 256 kByte SRAM, 16 A/D-Kanäle (16 Bit Auflösung), Eingangsspannungsbereich U_{IN} = ±10 V 4 D/A-Kanäle (16 Bit Auflösung)	V.1705.02
VME-AIO16-12	wie VME-AIO16, aber 16 A/D-Kanäle mit je 12 Bit Auflösung	V.1705.04
VME-AIO16-6	wie VME-AIO16, aber nur 6 A/D-Kanäle mit je 16 Bit Auflösung	V.1705.06
VME-AIO16-12/6	wie VME-AIO16, aber nur 6 A/D-Kanäle mit je 12 Bit Auflösung	V.1705.05
VME-AIO16-RAM1M	statt 256 kByte SRAM 1 MByte SRAM bestückt	V.1705.10
VME-AIO16-OS9	C-Treiber für OS-9 als Quellcode	P.1705.50
VME-AIO16-VxW	C-Treiber für VxWorks als Quellcode	P.1705.56
AIO16-MD	Zusätzliches Anwenderhandbuch in deutsch	M.1705.20



2. Platinenansicht und Konfigurationssteckbrücken

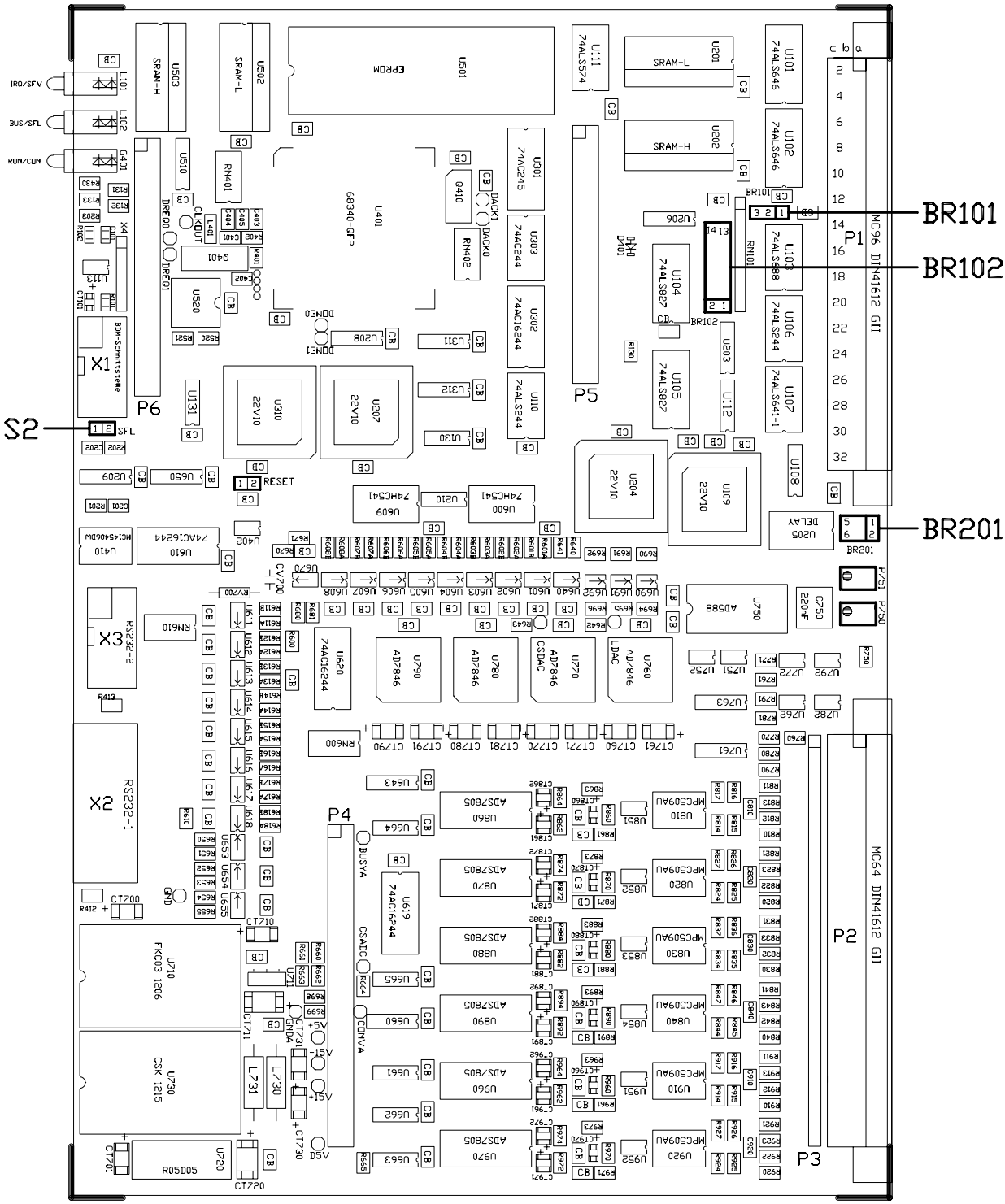


Abb. 2.1.1: Lage der Steckbrücken auf der AIO16

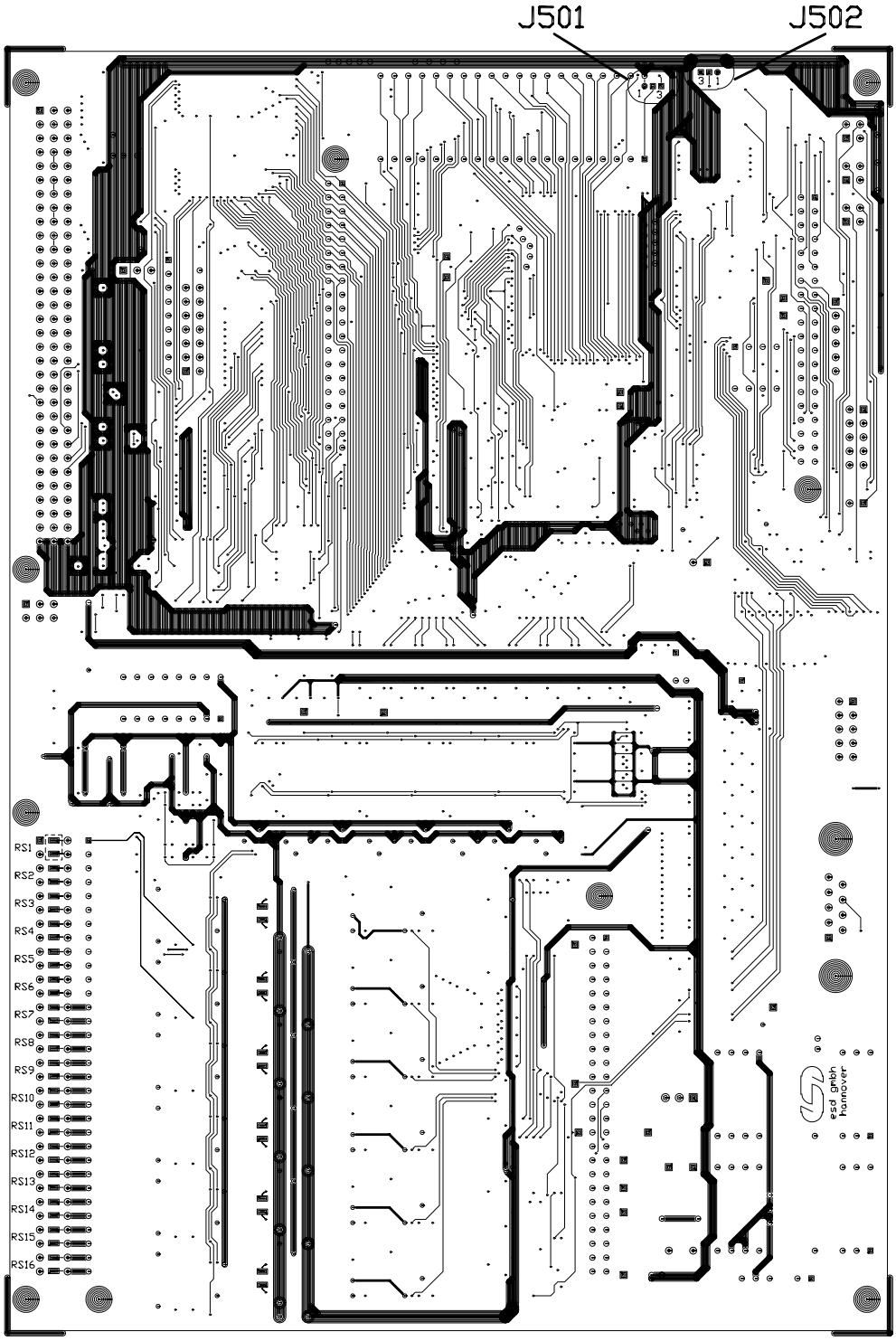


Abb. 2.1.2: Lage der Lötbrücken auf der Platinenunterseite

2.1 Default-Einstellung der Brücken

Die jeweilige Default-Einstellung bei Auslieferung der Karte ist in die folgende Tabelle eingetragen.

Die Anordnung der Steckbrücken kann Abbildung 2.1.1 entnommen werden. Die Steckbrücken sind in den anschließenden Beschreibungen so dargestellt, wie sie der Anwender sieht, wenn er die Platine mit den VMEbus-Steckern nach rechts vor sich liegen hat.

Die Anordnung der Lötbrücken kann Abbildung 2.1.2 entnommen werden. Die Lötbrücken sind in den anschließenden Beschreibungen so dargestellt, wie sie der Anwender auf der Platinenunterseite sieht, wenn er die Platine mit den VMEbus-Steckern nach links vor sich liegen hat.

Steckbrücke	Funktion	Einstellung
BR101	Auswertung des VMEbus-Signals 'LWORD*' (Sonderfunktion: 'D32-don't care')	es werden nur Zugriffe mit LWORD* = '1', zugelassen (D8, D16)
BR102	Adressen A19...A23 und AM4 und AM5	VME-Basisadresse: $xx68.0000, alle A24-Standard-Zugriffe zugelassen
BR201	Zeitverhalten lokaler Steuersignale (Stellung der Steckbrücke darf vom Anwender nicht geändert werden)	DELY3 ist mit T3 der Delay-Line belegt
S2	SYSFAIL an VMEbus	offen, d.h. das lokale SYSFAIL wird nicht an den VMEbus weitergegeben

Lötbrücke	Funktion	Einstellung
J501	Speicherkapazität des EPROMs	EPROMs bis 512 kByte einsetzbar
J502 (*)	Speicherkapazität der SRAM-Bausteine	2 SRAMs à 128 kByte bestückt

(*) Die SRAM-Bausteine sind in SMD-Technik ausgeführt. Die Bestückung wird im Werk vorgenommen und kann vom Anwender nicht verändert werden.

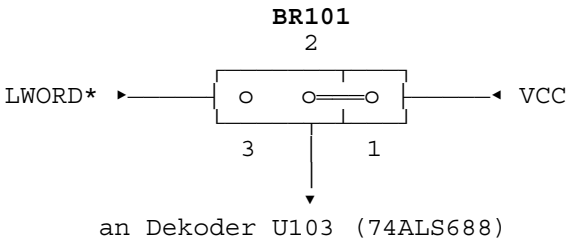
Tabelle 2.1.1: Stellung der Brücken bei Auslieferung der Karte

2.2 Auswertung des VMEbus-Signals 'LWORD*' (BR101)

Über diese Steckbrücke kann ausgewählt werden, ob das VMEbus-Signal 'LWORD*' auf der AIO16 ausgewertet werden soll, oder ob der Pegel des Signals ignoriert werden soll.

Wird LWORD* ausgewertet, so läßt die Karte nur D8- oder D16-Zugriffe zu.

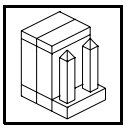
Wenn LWORD* ignoriert wird, können außerdem 'Pseudo-D32-Zugriffe' auf die Karte erfolgen. Hierbei sind jedoch nur die Datenleitungen D0 bis D15 Daten von Bedeutung. Auf D16 bis D31 werden von der AIO16 weder Daten empfangen, noch gesendet.



Stellung der Steckbrücke BR101	Auswertung von LWORD*	Zugelassene Datenzugriffe
1-2 (VCC an Dekoder)	keine Auswertung	D8, D16, D32 (*)
2-3 (LWORD* an Dekoder)	nur Zugriffe mit LWORD = '1' werden zugelassen	D8, D16

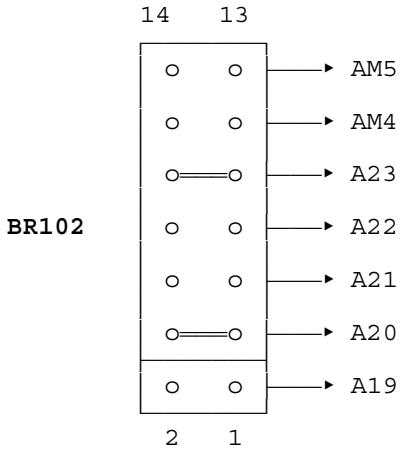
(*) Die Platine läßt D32-Zugriffe zu. Es werden jedoch nur Daten auf D0 bis D15 übertragen, da Reihe b des VMEbus-Steckers P2 der AIO16 nicht belegt ist!

Tabelle 2.2.1: Auswahl für Auswertung des VMEbus-Signals 'LWORD*' über BR101



2.3 Festlegung der Basisadresse und der Address Modifier über BR102

Steckbrücke offen: Signal als 'HIGH' dekodiert
Steckbrücke gesetzt: Signal als 'LOW' dekodiert

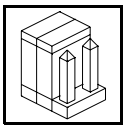


Dargestelltes Beispiel:
Default-Einstellung bei Auslieferung der Karte -
Basisadresse $xx68.0000, AM4 = 1, AM5 = 1 ('Standard'-Zugriffe)

Die AIO16 wertet die Address Modifier AM0...AM3 nicht aus. Es ergeben sich folgende über die Steckbrücke einstellbaren Zugriffsarten über den VMEbus:

Address Modifier			zugelassene VMEbus Zugriffsarten
AM5	AM4	AM3...AM0	
(0)	(0)	don't care	Die Auswahl der 'Extended'-Zugriffsarten (A32) ist zwar möglich, doch werden diese Zugriffe von der AIO16 nicht unterstützt! $0E - Extended Supervisory Program Access $0D - Extended Supervisory Data Access $0A - Extended Non-Privileged Program Access $09 - Extended Non-Privileged Data Access
0	1		Anwender-definierbare Zugriffsarten (A24) sind möglich.
(1)	(0)		Die Auswahl der 'Short'-Zugriffsarten (A16) ist zwar möglich, doch werden diese Zugriffe von der AIO16 nicht unterstützt! $2D - Short Supervisory Access $29 - Short Non-Privileged Access
1	**1**		Alle 'Standard'-Zugriffsarten (A24), z.B.: $3E - Standard Supervisory Program Access $3D - Standard Supervisory Data Access $3A - Standard Non-Privileged Program Access $39 - Standard Non-Privileged Data Access sind möglich.

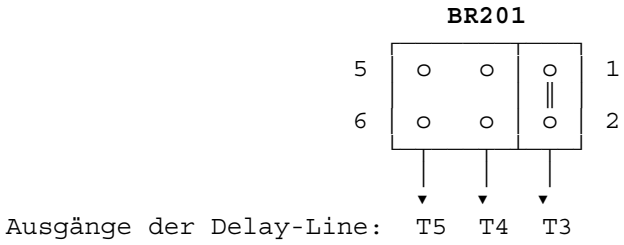
Tabelle 2.3.1: Auswahl der VMEbus-Zugriffe über Address Modifier



2.4 Zeitverhalten lokaler Steuersignale (BR201)

Mit dieser Steckbrücke kann das Timing der lokalen Chip-Select-Signale der Speicher und der Analogbaugruppen verändert werden.

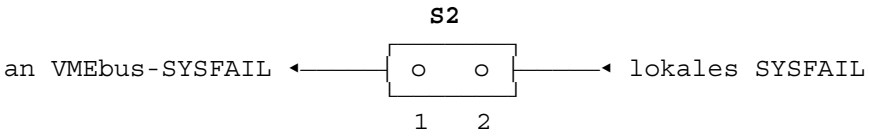
Die Stellung der Steckbrücke darf vom Anwender nicht verändert werden!



Standardeinstellung: Ausgang T3 der Delay-Line ausgewählt

2.5 Freigabe des SYSFAIL-Ausgangs auf den VMEbus (S2)

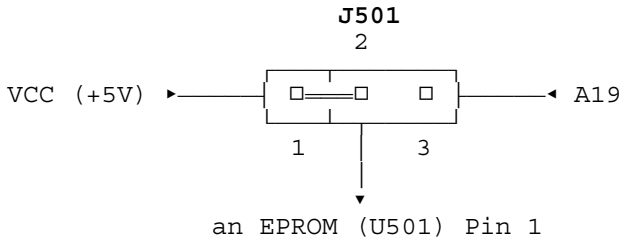
Das lokale SYSFAIL-Signal wird über S2 auf den VMEbus geschaltet. Das lokale und das VMEbus-SYSFAIL-Signal werden über getrennte LEDs in der Frontplatte angezeigt.



Standardeinstellung: Steckbrücke offen, d.h. kein SYSFAIL an VMEbus

2.6 Speicherkapazität des EPROMs (J501)

Über diese Lötbrücke wird Pin 1 des EPROMs entweder mit VCC (+5 V) oder mit dem Adreßsignal A19 belegt.

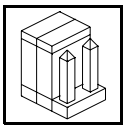


Dargestelltes Beispiel: Standardeinstellung mit VCC an Pin 1, d.h. EPROMs bis 512 kByte können eingesetzt werden.

Stellung der Lötbrücke J501	zulässige Speicherkapazität des EPROMs	Beispiele für EPROM-Typen
1-2 (VCC an Pin 1)	128 kByte (1 MBit) 256 kByte (2 MBit) 512 kByte (4 MBit)	27C210-120 ns 27C220-120 ns 27C240-120 ns
2-3 (A19 an Pin 1)	1 MByte (8 MBit)	(*)

(*) EPROMs im Center-Pinning können nicht eingesetzt werden, da sie nicht Pin-kompatibel sind.

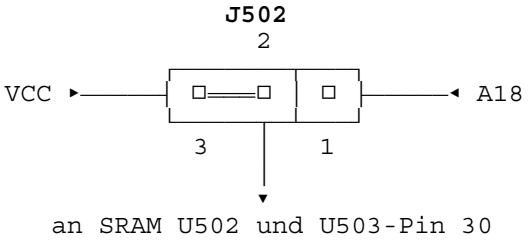
Tabelle 2.6.1: Einstellung der EPROM-Speicherkapazität über Lötbrücke J301



2.7 Speicherkapazität der SRAM-Bausteine (J502)

Über diese Lötbrücke wird Pin 30 der SRAMs entweder mit VCC (+5 V) oder mit dem lokalen Adreßsignal A18 belegt.

Die SRAM-Bausteine sind in SMD-Technik ausgeführt. Die Bestückung wird im Werk vorgenommen und kann vom Anwender nicht verändert werden. Die Stellung der Lötbrücke darf vom Anwender daher nicht verändert werden!



Standardeinstellung: SRAMs-Bausteine der Größe 128 k x 8 Byte sind eingesetzt.

Stellung der Lötbrücke J502	Speicherkapazität der SRAM-Bausteine	Beispiele für SRAM-Typen
2-3 (VCC an Pin 30)	2 Bausteine à (128 k x 8 Byte) = 256 kByte	*TOSHIBA* TC55100-85
1-2 (A18 an Pin 30)	2 Bausteine à (512 k x 8 Byte) = 1 MByte	*SAMSUNG* KM684000L-L

Tabelle 2.7.1: Einstellung der SRAM-Speicherkapazität über Lötbrücke J502

3. Adreßbelegung der AIO16

3.1 Adreßbelegung der lokalen CPU

Die Basisadressen der einzelnen Adreßbereiche der lokalen CPU lassen sich umprogrammieren. Die folgende Tabelle zeigt die Belegung der Adreßbereiche für die aktuelle Firmware-Iinitialisierung.

Adresse [HEX]	Baugruppe
FFFF.FFFF : FFFF.F000	Interne Register der CPU 68340 (siehe Handbuch 68340)
FFFF.EFFF : FFFF.E000	lokale I/Os auf unterem Datenwort (Mailbox-Interrupt-Handling, lokale Steuersignale)
00C3.FFFF : 00C0.0000	EPROM
0083.FFFF : 0080.0000	Shared-Area (A/D-Wandler, D/A-Wandler, Mailbox-Interrupts)
0003.FFFF : 0000.0000	SRAM der CPU 68340

Tabelle 3.1.1: Adreßbereiche der lokalen CPU

$FFFF.E000 + Adreß-Offset [HEX]	Bauteil/Register
3E : 30	Write Acknowledge (Acknowledge für VMEbus-IRQ, A/D-IRQ, D/A-IRQ und Trigger VMEbus-Interrupt)
2E : 20	Write Latch (VMEbus-Interrupt-Level, Convert-Multiplexer...)
1E...10	nicht belegt
0E : 00	DSP-Kommunikation (wird zur Zeit (01/97) nicht unterstützt)

Tabelle 3.1.2: Belegung des lokalen I/O-Bereiches (Zugriff nur über lokale CPU 68340)

3.2 Shared-Adreß-Bereich (Adressen der lokalen CPU und des VMEbus)

Der Shared-Adreß-Bereich bildet die Schnittstelle zwischen der lokalen CPU und dem VMEbus. Auf diese Zellen können der VMEbus-Master und die lokale CPU zugreifen.

In der folgenden Tabelle sind in der ersten Spalte die relativen Adressen der lokalen CPU und in der zweiten Spalte die Adressen relativ zur VMEbus-Basis-Adresse der AIO16 aufgeführt:

Zugriff über lokale CPU $0080.0000+ Adreß-Offset [HEX]	Zugriff über VMEbus: VMEbus-Base + Adreß-Offset [HEX]	Bauteil/Signal	
		Schreibzugriff	Lesezugriff
3FFFE	7FFFC	nicht belegt	A/D-Wandler 16-Wert auslesen
3FFFC	7FFF8	nicht belegt	A/D-Wandler 15-Wert auslesen
3FFFA	7FFF4	nicht belegt	A/D-Wandler 14-Wert auslesen
3FFF8	7FFF0	nicht belegt	A/D-Wandler 13-Wert auslesen
3FFF6	7FFEC	WRIVEC (Write VMEbus-IRQ-Vector)	A/D-Wandler 12-Wert auslesen
3FFF4	7FFE8	SWCOM (lokaler IRQ über VMEbus -> aktiviert Commander)	A/D-Wandler 11-Wert auslesen
3FFF2	7FFE4	DACDMAREQ aktivieren	A/D-Wandler 10-Wert auslesen
3FFF0	7FFE0	SWCONV (A/D-Wandlung starten)	A/D-Wandler 9-Wert auslesen
3FFEE	7FFDC	SWLDAC aktivieren	A/D-Wandler 8-Wert auslesen
3FFEC	7FFD8	SWLDAC aktivieren	A/D-Wandler 7-Wert auslesen
3FFEA	7FFD4	SWLDAC aktivieren	A/D-Wandler 6-Wert auslesen
3FFE8	7FFD0	SWLDAC aktivieren	A/D-Wandler 5-Wert auslesen
3FFE6	7FFCC	SWLDAC aktivieren	A/D-Wandler 4-Wert auslesen
3FFE4	7FFC8	SWLDAC aktivieren	A/D-Wandler 3-Wert auslesen
3FFE2	7FFC4	SWLDAC aktivieren	A/D-Wandler 2-Wert auslesen
3FFE0	7FFC0	SWLDAC aktivieren	A/D-Wandler 1-Wert auslesen

Zugriff über lokale CPU $0080.0000 + Adreß-Offset [HEX]	Zugriff über VMEbus: VMEbus-Base + Adreß-Offset [HEX]	Bauteil/Signal	
		Schreibzugriff	Lesezugriff
3FFD6	7FFAC	D/A-Wandler 4 setzen mit SWLDAC	D/A-Wandler 4-Wert aus RAM-Zelle 4.4 auslesen
3FFD4	7FFA8	D/A-Wandler 3 setzen mit SWLDAC	D/A-Wandler 3-Wert aus RAM-Zelle 3.4 auslesen
3FFD2	7FFA4	D/A-Wandler 2 setzen mit SWLDAC	D/A-Wandler 2-Wert aus RAM-Zelle 2.4 auslesen
3FFD0	7FFA0	D/A-Wandler 1 setzen mit SWLDAC	D/A-Wandler 1-Wert aus RAM-Zelle 1.4 auslesen
3FFC6	7FF8C	D/A-Wandler 4 setzen ohne SWLDAC	D/A-Wandler 4-Wert aus RAM-Zelle 4.1 auslesen
3FFC4	7FF88	D/A-Wandler 3 setzen ohne SWLDAC	D/A-Wandler 3-Wert aus RAM-Zelle 3.1 auslesen
3FFC2	7FF84	D/A-Wandler 2 setzen ohne SWLDAC	D/A-Wandler 2-Wert aus RAM-Zelle 2.1 auslesen
3FFC0	7FF80	D/A-Wandler 1 setzen ohne SWLDAC	D/A-Wandler 1-Wert aus RAM-Zelle 1.1 auslesen
3FFBE : 00000	7FF7C : 00000	256 Kbyte Shared SRAM abzüglich AD/DA-Wandler-Bereich, 16 Bit Datenbreite, auf VMEbus über jede zweite WORD-Adresse zugänglich	

Tabelle 3.2.1: Belegung des Shared-Areas mit Adressen des VMEbus und der lokalen CPU

3.3 Hinweise zum Shared-Adreß-Bereich

Bei Schreibzugriffen auf die D/A-Wandler werden gleichzeitig Zellen des Shared-RAMs mit den D/A-Werten besetzt. Ein Lesezugriff führt dann auf das SRAM und der vormals gesetzte Wert kann zurückgelesen werden.

Achtung: Das Setzen des D/A-Werte ohne SWLDAC (**S**oft**w**are **L**atch **D**/**A**-**C**onverter) und das Setzen des D/A-Wertes mit SWLDAC führen zu Schreibzugriffen auf verschiedene RAM-Zellen! Das Rücklesen des D/A-Wertes muß daher immer über die selbe Adresse wie beim Setzen des D/A-Wertes erfolgen, da sonst unter Umständen der falsche Wert zurückgelesen wird!

Das Signal SWLDAC, das an allen D/A-Wandlern parallel anliegt, führt zum Starten der Wandlung. Schreibzugriffe ohne SWLDAC laden nur den neuen Wert in den D/A-Wandler. Der neue Wert wird erst mit dem Setzen des SWLDAC gewandelt.

Anmerkung: Die Schreibzugriffe mit SWLDAC setzen daher den neuen D/A-Wert des selektierten Wandlers und starten gleichzeitig die Wandlung aller D/A-Kanäle!

4. Beschreibung der Baugruppen

4.1 Interrupt-Verarbeitung

Die Interrupt-Level und Vektoren werden komplett von der lokalen Firmware verwaltet und sollten vom Anwender nicht verändert werden!

4.1.1 Belegung der Interrupt-Eingänge der CPU 68340

Die CPU 68303 besitzt 4 externe Interrupt-Eingänge, die auf dem AIO16 wie folgt belegt sind:

68340-Interrupt-Eingang	Belegung	Anmerkung
IRQ3	IRQCOM* (lokaler Interrupt von VMEbus ausgelöst)	Auto Vector (Adresse $6C)
IRQ5	IRQDAC* (D/A-Wandler)	Auto Vector (Adresse $74)
IRQ6	IRQADC* (A/D-Wandler)	Auto Vector (Adresse $78)
IRQ7	nicht belegt	-

Tabelle 4.1.1: Anschluß der 68340-Interrupt-Eingänge

4.1.2 VMEbus-Slave-Interrupt-Logik

Die VMEbus-Slave-Interrupt-Logik bietet die Möglichkeit, von der AIO16 aus einen Interrupt auf dem VMEbus auszulösen. Außerdem kann vom VMEbus aus ein lokaler Interrupt (SWCOM*) auf der AIO16 erzeugt werden.

4.1.2.1 Erzeugung eines VMEbus-Interrupts

Der Interrupt-Level des VMEbus-Interrupts wird über ein adressierbares 1-Bit-Latch und über einen Dekoder programmiert.
Über die Eingänge des Dekoders erfolgt die Auswahl der Interrupt-Level:

Dekoder-Eingangssignale mit zugehöriger relativer Adresse			VMEbus-Interrupt-Level
VLEV3 $24	VLEV2 $22	VLEV1 $20	
0	0	0	kein Interrupt
0	0	1	IRQ1
0	1	0	IRQ2
0	1	1	IRQ3
1	0	0	IRQ4
1	0	1	IRQ5
1	1	0	IRQ6
1	1	1	IRQ7

Tabelle 4.1.2: Einstellen des VMEbus-Interrupt-Levels über Dekoder-Eingänge

Die Signale VLEV1, VLEV2 und VLEV3 werden über ein adressierbares Latch gesetzt. Über das Daten-Bit D15 wird der Pegel dieser Signale festgelegt (D15 = '1' -▸ VLEVx = '1'.

Mit den Adreß-Bits A1 bis A3 wird das entsprechende Signal ausgewählt. Die relativen Adressen sind in der oben dargestellten Tabelle angegeben. Als Basis ist die Adresse des lokalen I/O-Bereiches einzugeben ($FFFF.E000 -> aktueller Default-Wert -> diese I/O-Base-Adresse kann über die Register der lokalen CPU umprogrammiert werden, daher sind Änderungen vorbehalten.)

Um den Interrupt-Level zu Programmieren, sind also die Dekoder-Eingangssignale entsprechend der oben angegebene Tabelle zu setzen. Hierzu muß ein Schreibzugriff auf die Adresse des gewünschten Bits (VLEV1...VLEV3) erfolgen. Das Daten-Bit D15 muß den gewünschten Pegel des Bits besitzen. Die Daten-Bits D0 bis D14 werden nicht ausgewertet. Nach einem RESET sind alle Bits auf '0' gesetzt.

Der VMEbus-Interrupt muß außerdem über das lokale Signal VINTEN* freigegeben werden. Dieses Signal wird direkt von dem Port PB0 der CPU68340 gesetzt. Der Interrupt ist freigegeben, wenn das Signal auf '0' gesetzt wird.

Ausgelöst wird der Interrupt über das lokale Signal VIRQ*, das mit D15 = '0' über die Adresse relative Adresse $2E aktiviert wird (Basisadresse: $FFFF.E000, Änderung vorbehalten).
Der Interrupt wird mit dem Empfang des VMEbus-Interrupt-Acknowledge zurückgenommen.

4.1.2.2 Programmieren des VMEbus-Interrupt-Vektors

Der Vector, der im Interrupts-Acknowledge-Zyklus auf den VMEbus gegeben wird, kann über einen Schreibzugriff auf die relative Adresse $7FFEC auf den Daten-Bits D0 bis D7 vom VMEbus aus oder über von der lokalen CPU auf der relativen Shared-Area-Adresse $3FFF6 (Basisadresse: $0080.0000, Änderung vorbehalten) programmiert werden.

4.1.2.3 Erzeugung eines lokalen Interrupts vom VMEbus aus (SWCOM*)

Vom VMEbus aus kann ein Interrupt (SWCOM: **S**oft**w**are **Com**munication) der lokalen CPU ausgelöst werden. Der Interrupt wird durch einen WORD-Schreibzugriff auf die Adresse $7FFE8 (relativ zur Basisadresse der AIO16) ausgelöst. Die beim Zugriff übertragenen Daten werden nicht ausgewertet und können daher beliebig gesetzt sein.

Der Interrupt wird direkt über den Eingang IRQ3 der CPU 68340 ausgelöst. Er erzeugt einen Auto-Vector.

Der Interrupt wird von der lokalen Firmware verwaltet. Näher Erläuterungen zum Interrupt-Handling sind dem Software-Handbuch zu entnehmen.

RESET

4.2 Spannungsüberwachung und RESET

Bei Unterschreitung der Betriebsspannungstoleranz (U < 4,65 V) und beim Power-Up wird ein RESET der lokalen CPU 68340 ausgelöst.

Die lokale CPU wird außerdem mit dem VMEbus-RESET-Signal zurückgesetzt. Zu Testzwecken kann ein lokaler RESET über die Steckbrücke S401 ausgelöst werden.

Der RESET setzt alle lokalen Baugruppen und die lokale Software zurück!

4.3 Serielle Schnittstellen

4.3.1 Konfiguration

Die beiden RS232-Schnittstellen der AIO16 werden von der CPU 68340 gesteuert. Die Schnittstellen sind für eine Baudrate von 1.200 bis 38400 Baud ausgelegt.

Die erste serielle Schnittstelle kann im XON/XOFF- und Modem-Betrieb arbeiten. Die zweite Schnittstelle kann nur ohne Hardware-Handshake betrieben werden.

Die Schnittstellen sind wie folgt spezifiziert:

	1. serielle Schnittstelle	2. serielle Schnittstelle
Baudrate	19.200 Baud	9600 Baud
Daten-Bits	8	8
Stop-Bits	1	1
Parity	no Parity	no Parity
Handshake	XON/XOFF	XON/XOFF

Tabelle 4.3.1: Default-Einstellung der seriellen Schnittstellen

	Wertebereich
Baudrate [Baud]	38.400, 19.200, 9.600, 4.800, 2.400, 1.200
Daten-Bits	5, 6, 7, 8
Stop-Bits	1, 2
Parity	none, odd, even
Handshake	XON/XOFF (bisher keine Auswahlmöglichkeiten)

Tabelle 4.3.2: Konfigurationsmöglichkeiten der seriellen Schnittstellen (z. Zt. noch nicht implementiert)

4.3.2 Anschluß der seriellen Schnittstellen

Im folgenden wird die Verdrahtung der beiden RS232-Schnittstellen dargestellt. Die Abbildungen sollen die im Anhang (Steckerbelegung) verwendeten Kurzbezeichnungen der Signale erläutern.

Die Steckerbelegung der RS232-Schnittstellen und die Signalbezeichnung ist beispielhaft für den Anschluß der AIO16 als Empfänger (Modem, DÜE) angegeben.
Die Belegung des 9poligen DSUB-Steckers der zweiten RS232-Schnittstelle ergibt sich wie dargestellt, wenn die DSUB-Buchse an den 10poligen Pfostenstecker X3 über ein Flachbandkabel (1:1) angeschlossen wird.

4.3.2.1 Erste RS232-Schnittstelle (Port 1)

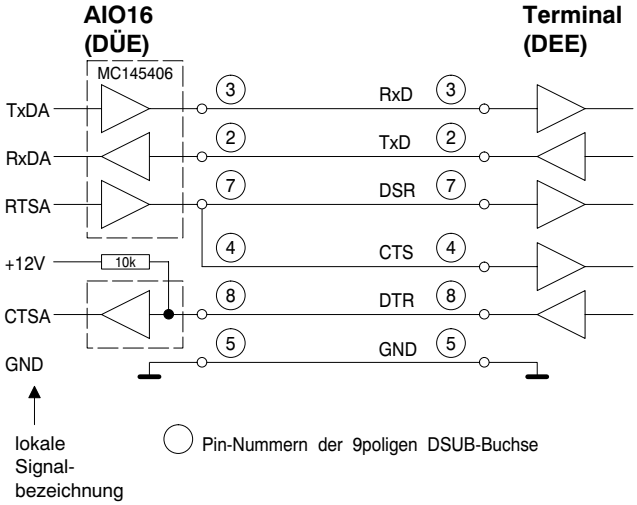


Abb. 4.3.1: Anschluß der ersten RS232-Schnittstelle

4.3.2.2 Zweite RS232-Schnittstelle (Port 2)

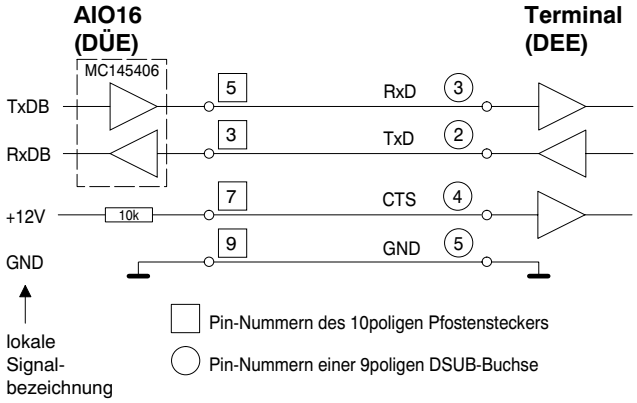


Abb. 4.3.2: Anschluß der zweiten RS232-Schnittstelle

4.4 Beschreibung der I/Os

4.4.1 Signale zum Starten der A/D-Wandlung und Setzen des D/A-Wandlers

Die Steuersignale zum Starten der A/D-Wandler (LCONV* - **L**atch **Conv**erter) und zum Laden der D/A-Wandler (LDAC* - **L**atch **D**/**A**-**C**onverter) können von verschiedenen Quellen gesetzt werden:

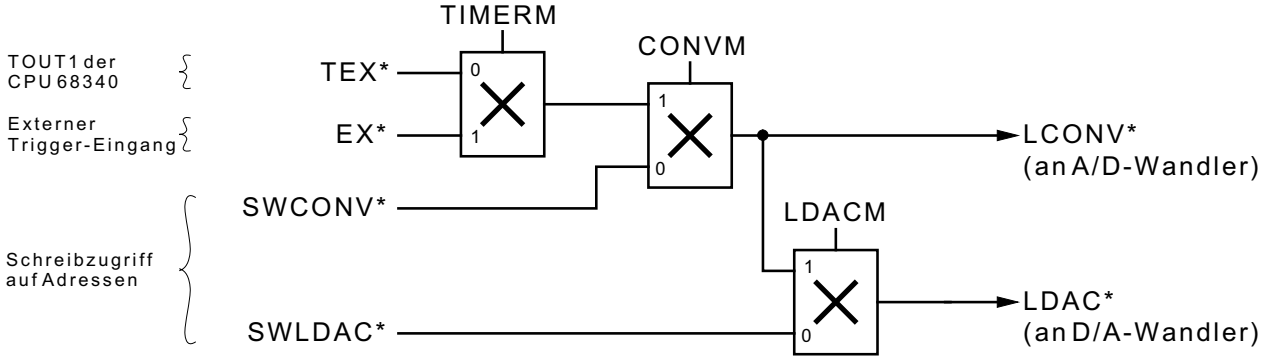


Abb. 4.4.1: Übersicht Multiplexerschaltung der Steuersignale der Wandler

Der obere Zweig des Prizipschaltbildes zeigt die Ansteuerung des A/D-Wandlers. Das Signal LCONV* wird in der Default-Stellung der Multiplexer (alle Multiplexer auf '0') per Software über das Steuersignal SWCONV* (**S**oft**w**are **Conv**ert) erzeugt. SWCONV* wird mit einem Lesezugriff auf die im Kapitel 'Shared-Adreß-Bereich' aufgeführten relativen Adressen $3FFEE (lokale CPU) oder $7FFE0 (VMEbus) gesetzt.

Über das Multiplexersignal CONVM (**Conv**ert **M**ultiplexer) kann statt des Software-Converts entweder der Timer-Ausgang der CPU 68340 (TOUT1) oder das externe Trigger-Signal (EX*) zum Starten der Wandlung herangezogen werden.

Die Programmierung des CPU-Timers ist dem Handbuch der CPU 68340 zu entnehmen. Das externe Trigger-Signal wird in dem folgenden Kapitel 'Trigger-Eingang' näher beschrieben.

Das Multiplexersignal TIMERM wird über die CPU-Port-Pins OP4 und OP6 erzeugt.

OP6	OP4	Schaltung des Multiplexers (TIMERM)
0	0	nicht sinnvoll
0	1	Timer-Ausgang
1	0	Externer Trigger
1	1	weder Timer noch Trigger

Tabelle 4.4.1: Setzen des Multiplexers TIMERM über CPU-Ports

Das Multiplexersignal CONVM wird über die lokale relative Adresse $26 im I/O-Bereich gesetzt (Basisadresse: $FFFF.E000 (Änderung vorbehalten)). Ein Schreibzugriff mit dem Daten-Bit D15= '1' setzt das Signal CONVM ebenfalls auf '1'. Die Bits D0 bis D14 werden nicht ausgewertet.

Der D/A-Wandler gibt seinen neuen Wert mit dem Signal LDAC aus. SWLDAC kann gemeinsam mit dem Laden des neuen D/A-Wertes gesetzt oder separat aktiviert werden. Die Adressen, über die diese Signal zugänglich sind, sind in dem vorangegangenen Kapitel 'Shared-Adreß-Bereich' aufgeführt.

Durch Umschalten mit dem Multiplexersignal LDACM kann statt des direkten SWLDAC-Signals auch das Convert-Signal der A/D-Wandler zum Setzen des D/A-Wandlers herangezogen werden. Dies hat beim Aufbau eines Reglers den Vorteil, daß der neu berechnete D/A-Wert immer exakt nach einer Sample-Periode des A/D-Wandler ausgegeben wird.

Das Signal LDACM wird über die lokale relative Adresse $2A im I/O-Bereich gesetzt (Basisadresse: $FFFF.E000 (Änderung vorbehalten)). Ein Schreibzugriff mit dem Daten-Bit D15 = '1' setzt das Signal LDACM ebenfalls auf '1'. Die Bit D0 bis D14 werden nicht ausgewertet.

Die Multiplexerschaltung kann komplett mit Hilfe der lokalen Firmware parametriert werden. Für den Anwender ist es daher nicht notwendig, die Multiplexer-Bits einzeln über Schreibzugriffe zu ändern!

4.4.2 Analoge Eingänge

Von den 16 analogen Eingängen der AIO16 sind 6 auf der Basisplatine und 10 auf einem Add-On bestückt. Die galvanische Trennung der Eingänge erfolgt gemeinsam mit den analogen Ausgängen über DC/DC-Wandler und Optokoppler.

Alle 16 Eingangskanäle sind gleich aufgebaut: Als A/D-Wandler kommt, je nach gewünschter Auflösung, pro Kanal ein ADS7805 oder ein ADS7804 zum Einsatz. Weitere wesentliche Komponenten sind der Eingangsmultiplexer MPC509A und der Instrumentenverstärker INA118. In der unten dargestellten Abbildung ist die Eingangsschaltung des ersten Kanals zu sehen.

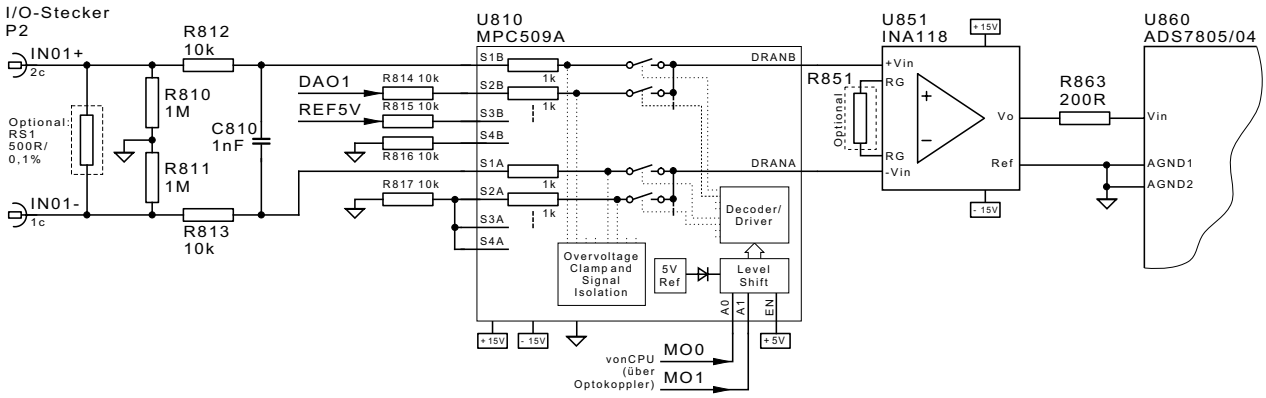


Abb 4.4.1: Schaltung der analogen Eingänge (Beispiel: Kanal 1)

Über die Multiplexer MPC509A können die Eingänge zu Abgleichzwecken mit GND, der +5V-Referenzspannung oder den Ausgangssignalen der D/A-Wandler belegt werden. Jeder A/D-Wandler-Kanal ist mit einem eigenen Multiplexer versehen. Die Ansteuerung der 16 Multiplexer erfolgt parallel, d.h. es werden immer alle Wandlereingänge gleichzeitig z.B. auf GND gelegt.

Über die lokalen Signale MO0 und MO1, die wiederum von den CPU-Ports PA0 und PA1 gesetzt werden, erfolgt die Ansteuerung der Multiplexer. Wie alle anderen Steuersignale, sind auch diese Signale über Optokoppler von den CPU-Baugruppen getrennt.

In der folgenden Tabelle ist die Belegung der analogen Eingänge in Abhängigkeit von den Pegeln der CPU-Ports aufgeführt:

Steuer-Bits der Multiplexer		Belegung der A/D-Wandler-Eingänge
CPU-Port PA1 (MO1*)	CPU-Port PA0 (MO0*)	
0	0	externes Eingangssignal von P2
0	1	D/A-Wandler-Ausgang
1	0	Referenzspannung +5 V
1	1	analoges Bezugspotential GND

Tabelle 4.4.1: Ansteuerung der Multiplexer über CPU-Ports

Da nur vier D/A-Wandler-Kanäle vorhanden sind, werden diese auf die 16 A/D-Eingänge wie folgt verteilt:

D/A-Wandler-Kanal	Abgleich von A/D-Kanal			
1	1,	5,	9,	13,
2	2,	6,	10,	14,
3	3,	7,	11,	15,
4	4,	8,	12,	16,

Tabelle 4.4.2: Zuordnung der D/A-Wandler zu den A/D-Kanälen beim Abgleich

In der analogen Eingangsschaltung kann für jeden Kanal über den optional bestückbaren Widerstand RG der Verstärkungsfaktor des Instrumentenverstärkers INA118 verändert werden. Ist der Widerstand nicht bestückt, so ist die Verstärkung '1' und die analogen Eingänge sind für einen Spannungshub von max. ± 10 V ausgelegt. Die Verstärkung (V) kann über RG wie folgt vergrößert werden:

$$V = 1 + \frac{50\ k\Omega}{RG}$$

Um Ströme im Bereich von ± 20 mA messen zu können, sind optional die Widerstände RS1 bis RS16 bestückbar. Diese SHUNTs mit 500 Ω/0,1% werden auf der Platinenunterseite zwischen den Pins des I/O-Steckers P2 bestückt.

Die Referenzspannungen der A/D-Wandler werden von einem hochgenauen Spannungsreferenz-baustein (AD588) erzeugt, der ab Werk über Potentiometer einen Feinabgleich erhalten hat.

Die A/D-Wandlung kann per Software (SWCONV) oder über ein externes Trigger-Signal gestartet werden (siehe auch folgendes Kapitel).

Die Wandlungszeit eines A/D-Wandlers beträgt etwa 8 µs. Zur Ermittlung der reellen Abtastrate sind die durch die Weiterverarbeitung auftretenden Verzögerungszeiten mit zu berücksichtigen. Die Art der Datenverarbeitung wird mit Hilfe der Software festgelegt. Die eingesetzte Software hat somit einen wesentlichen Einfluß auf die erreichbaren Abtastraten.

Die AIO16 bietet unter anderem die Möglichkeit, die Daten über DMA-Zyklen auszulesen und im SRAM abzulegen. Außerdem können die Offset- und die Gain-Fehler der analogen Eingänge von der lokalen Firmware korrigiert werden.

4.4.3 Trigger-Eingang

Die AIO16 ist mit einem Trigger-Eingang ausgestattet, über den die Wandlung aller A/D-Kanäle gleichzeitig gestartet werden kann. Der Eingang wird aktiviert, wenn eine Spannung von +5V angelegt wird.

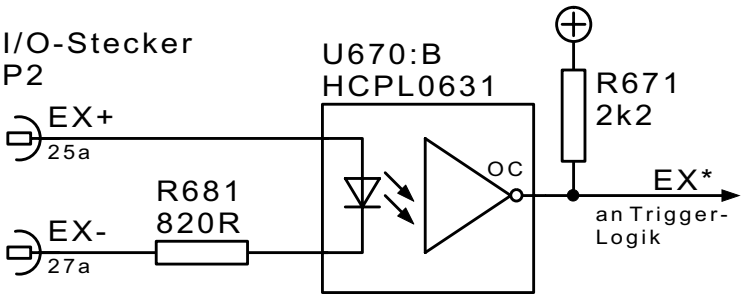
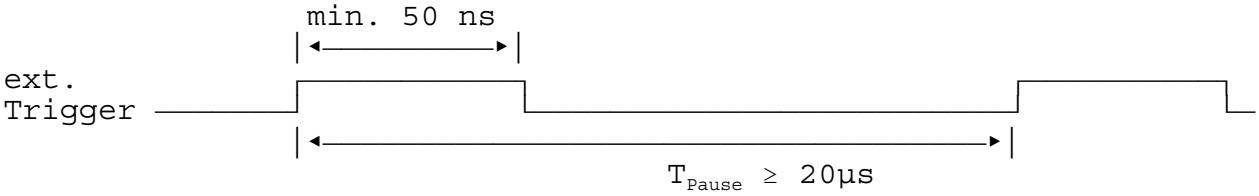


Abb. 4.4.2: Eingangsschaltung des Trigger-Signals

Der Eingangsschaltung ist ein Monoflop nachgeschaltet, das den Eingangspuls auf die erforderliche Länge dehnt.

Für die Pulsweite des externen Trigger-Signals müssen folgende Grenzwerte eingehalten werden (Auswertung von 16 Kanälen, lokaler DMA-Betrieb):



4.4.4 Analoge Ausgänge

Die vier analogen Ausgangskanäle der AIO16 sind identisch aufgebaut. Als D/A-Wandler kommt ein AD7846 mit 16 Bit Auflösung zum Einsatz. Der maximale Spannungshub der Ausgänge ist auf ± 10 V festgelegt.

Zwischen den D/A-Wandler und dem Ausgangsverstärker OPA27 ist ein ADG211/212 als Multiplexer geschaltet. Mit Hilfe dieses Multiplexers kann über das CPU-Port PA2 der analoge Ausgang mit GND oder dem D/A-Wandler-Ausgangssignal belegt werden. Das bietet einerseits den Vorteil, daß die Ausgänge nach einem RESET abgeschaltet werden können, andererseits können dadurch die D/A-Wandler-Ausgänge zum Abgleich der analogen Eingänge genutzt werden, ohne die D/A-Signale während des Abgleichs auf den I/O-Stecker P2 zu legen.

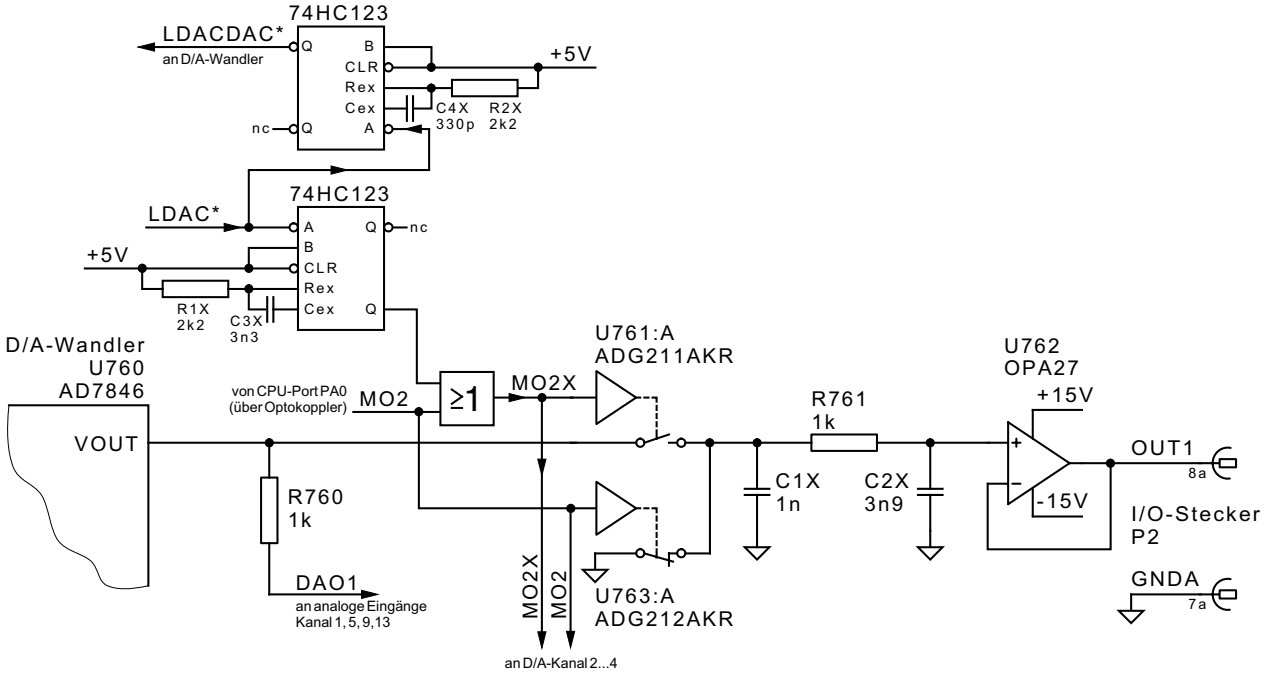


Abb. 4.4.3: Schaltung der analogen Ausgänge (Beispiel: Kanal 1)

Der Multiplexer wird außerdem in Verbindung mit dem Monoflop 74HC123 als 'Sample & Hold' genutzt, um das Einschwingverhalten des D/A-Ausgangs zu verbessern:

Der D/A-Wandler AD7846 verursacht bei fallender und steigender Flanke des LDAC-Signals (**L**atch **D**/**A**-**C**onverter) eine Spannungsspitze von ca. 30 mV an seinem Ausgang. Über den Multiplexer wird in dieser Schaltung der D/A-Converter vom Ausgangsoperationsverstärker während dieser Spannungsschwankungen getrennt. Der Kondensator C1X hält während dieser Zeit den letzten Spannungswert des D/A-Wandlers. Nach der Wandlung wird der DAC wieder zugeschaltet. Die hierbei noch auftretenden minimalen Spannungsspitzen werden von dem nachgeschalteten RC-Glied R761-C2X eliminiert.

Das folgende Zeitdiagramm zeigt die Zusammenhänge der einzelnen Signale:

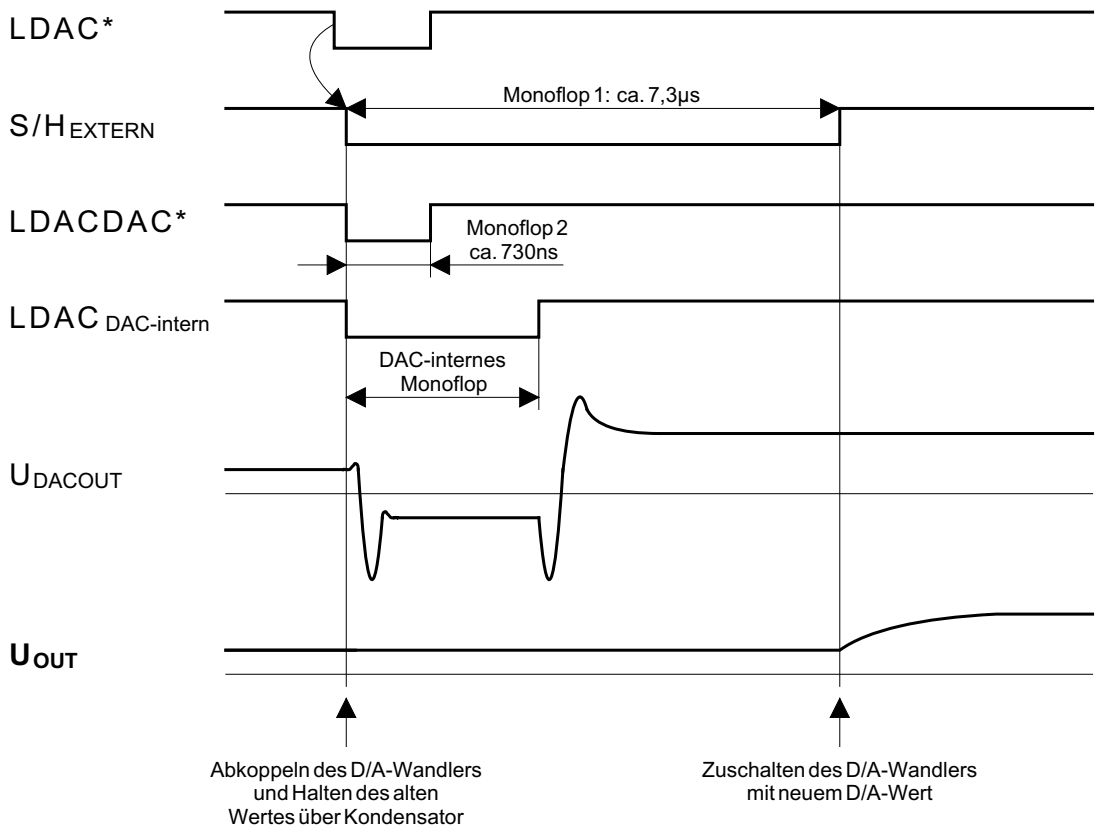
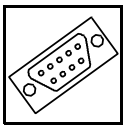


Abb. 4.4.4: Vermeidung von Spannungsspitzen an den analogen Ausgängen mit Hilfe der externen Sample & Hold-Schaltung

Die galvanische Trennung der Ausgänge erfolgt gemeinsam mit den analogen Eingängen über DC/DC-Wandler und Optokoppler.

Die Referenzspannungen der A/D-Wandler werden von einem hochgenauen Spannungsreferenz-baustein (AD588, hier nicht mit dargestellt) erzeugt, der ab Werk über Potentiometer einen Feinabgleich erhalten hat.



5. Anhang

5.1 Steckerbelegungen

5.1.1 VMEbus P1

Pin	Reihe a	Reihe b	Reihe c
1	D00	-	D08
2	D01	-	D09
3	D02	-	D10
4	D02	BG0IN*]	D11
5	D04	BG0OUT*]	D12
6	D05	BG1IN*]	D13
7	D06	BG1OUT*]	D14
8	D07	BG2IN*]	D15
9	GND	BG2OUT*]	GND
10	-	BG3IN*]	SYSFAIL*
11	GND	BG3OUT*]	-
12	DS1*	-	SYSRESET*
13	DS0*	-	LWORD*
14	WRITE*	-	AM5
15	GND	-	A23
16	DTACK*	-	A22
17	GND	-	A21
18	AS*	-	A20
19	GND	-	A19
20	IACK*	GND	A18
21	IACKIN*	-	A17
22	IACKOUT*	-	A16
23	AM4	GND	A15
24	A07	IRQ7*	A14
25	A06	IRQ6*	A13
26	A05	IRQ5*	A12
27	A04	IRQ4*	A11
28	A03	IRQ3*	A10
29	A02	IRQ2*	A09
30	A01	IRQ1*	A08
31	-12 V	-	+12 V
32	+5 V	+5 V	+5 V

Messerleiste nach DIN41612 Bauform C96/a+b+c
I_{max} per Pin : 1.0 A

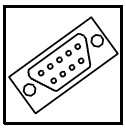
] ... Signale auf Platine gebrückt
- ... Signal auf Platine nicht angeschlossen

5.1.2 I/O-Stecker P2

Pin	Belegung des I/O-Steckers P2 Reihe a	Signal		Reihe c	Pin
2	1	GNDA	IN01-	1	1
4	2	OUT4	IN01+	2	3
6	3	GNDA	IN02-	3	5
8	4	OUT3	IN02+	4	7
10	5	GNDA	IN03-	5	9
12	6	OUT2	IN03+	6	11
14	7	GNDA	IN04-	7	13
16	8	OUT1	IN04+	8	15
18	9	GNDA	IN05-	9	17
20	10	GNDA	IN05+	10	19
22	11	:	IN06-	11	21
24	12	:	IN06+	12	23
26	13	:	IN07-	13	25
28	14	:	IN07+	14	27
30	15	:	IN08-	15	29
32	16	:	IN08+	16	31
34	17	:	IN09-	17	33
36	18	:	IN09+	18	35
38	19	:	IN10-	19	37
40	20	:	IN10+	20	39
42	21	:	IN11-	21	41
44	22	:	IN11+	22	43
46	23	:	IN12-	23	45
48	24	GNDA	IN12+	24	47
50	25	EX+	IN13-	25	49
52	26	-	IN13+	26	51
54	27	EX-	IN14-	27	53
56	28	-	IN14+	28	55
58	29	-	IN15-	29	57
60	30	-	IN15+	30	59
62	31	-	IN16-	31	61
64	32	-	IN16+	32	63

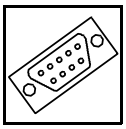
I/O-Stecker: Federleiste nach DIN41612 Bauform C64/a+c
I_{max} per Pin : 1.0 A
- ... Signal nicht angeschlossen

Signalbeschreibung siehe folgende Seite.



5.1.3 Bedeutung der Signale auf P2

INx-, INx+	differentielle analoge Eingänge (max. ± 10 V) (x = 1, 2, ...16)
OUTx	analoge Ausgänge (± 10 V) (x = 1, 2, 3, 4)
GNDA	Bezugspotential der analogen Baugruppen
EX+, EX-	externer Trigger-Eingang zum synchronen Start der A/D-Wandler (0V - AUS, +5V - EIN)



Steckerbelegung

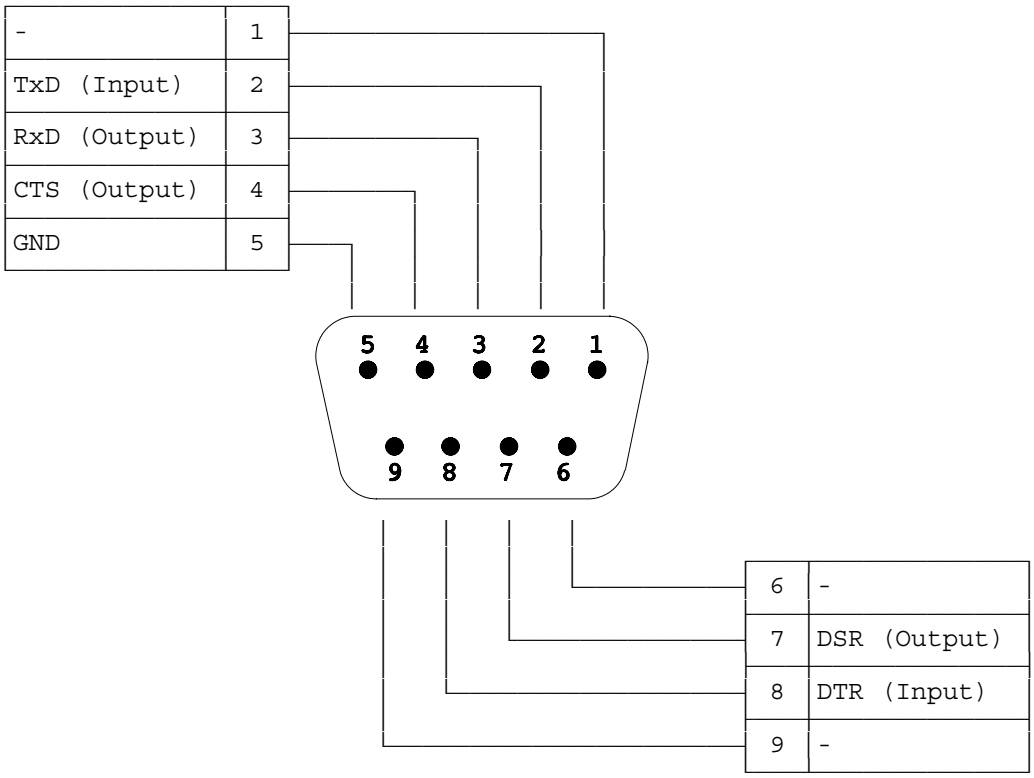
5.1.4 Serielle Schnittstellen Port 1 und Port 2

Die beiden seriellen Schnittstellen entsprechen RS232C. Die Baudrate ist für Port 1 mit 19200 Baud und für Port 2 mit 9600 Baud vorbesetzt und kann umprogrammiert werden.

Port 1 ist auf eine 9polige DSUB-Buchse in der Frontplatte geführt (X2). Port 2 ist nur mit RxD und TxD belegt und über eine 10polige Pfostenleiste zugänglich (X3).

Im folgenden sind die Signalnamen vom Terminal (Sender, DEE) aus betrachtet angegeben. In Klammern ( ) ist jeweils die Richtung der Signale von der AIO16 aus betrachtet eingetragen.

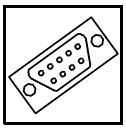
5.1.4.1 Belegung der 9poligen DSUB-Buchse X2



- ... Signal nicht angeschlossen

Das auf der DSUB-Buchse mit DTR bezeichnete Signal lokal mit dem Eingangssignal 'CTSA' und außerdem ist mit einem 10 kΩ Pull-Up-Widerstand an +12 V verbunden.

Die auf der DSUB-Buchse mit CTS und DSR bezeichneten Signale werden auf der Platine gemeinsam von dem lokalen Signal 'RTSA' angesteuert.



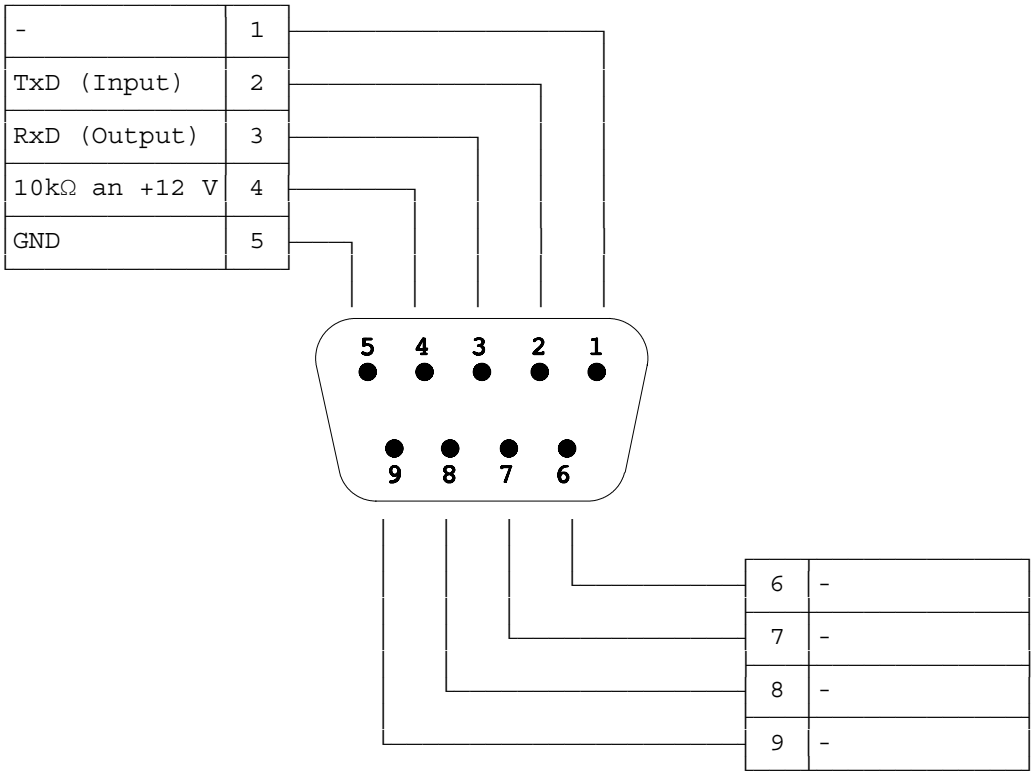
5.1.4.2 Belegung der 10poligen Pfostenleiste X3

Signal	Pin		Signal
-	1	2	-
TxD (Input)	3	4	-
RxD (Output)	5	6	-
über 10 kΩ an +12 V (CTS)	7	8	-
GND	9	10	-

10poliger Pfostenstecker

- ... Signal nicht angeschlossen

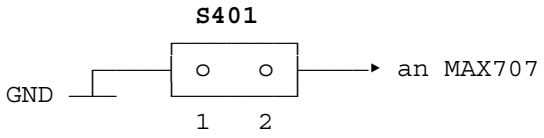
Wird X4 über Flachbandkabel 1:1 mit einer 9poligen DSUB-Buchse verbunden ergibt sich folgende Belegung:



- ... Signal nicht angeschlossen

5.1.5 RESET-Taster-Anschluß (S401)

Zu Testzwecken kann das lokale RESET-Signal der AIO16 über den Pfostenstecker S401 aktiviert werden.

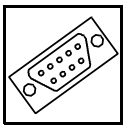


Der RESET wird ausgelöst, wenn die Pins der Pfostenleiste verbunden werden.

5.1.6 BDM-Schnittstelle (X1)

Signal	Pin		Signal
DS*	1	2	BERR*
GND	3	4	BKPT*
GND	5	6	FREEZE
RESET*	7	8	IFETCH*
VCC	9	10	IPIPE*

10poliger Pfostenstecker



5.1.7 Steckverbinder für A/D-Wandler-Add-On (P3, P4)

P3

Pin	Signal
1	DA01
2	DA01
3	DA02
4	DA02
5	DA03
6	DA03
7	DA04
8	DA04
9	REF25
10	REF25
11	REF5
12	REF5
13	IN07-
14	IN07+
15	IN08-
16	IN08+
17	IN09-
18	IN09+
19	IN10-
20	IN10+
21	IN11-
22	IN11+
23	IN12-
24	IN12+
25	IN13-
26	IN13+
27	IN14-
28	IN14+
29	IN15-
30	IN15+
31	IN16-
32	IN16+

Buchsenleiste 1x32

P4

Signal	Pin		Signal
MO0	1	2	MO1
AD0	3	4	AD1
AD2	5	6	AD3
AD4	7	8	AD5
AD6	9	10	AD7
AD8	11	12	AD9
AD10	13	14	AD11
AD12	15	16	AD13
AD14	17	18	AD15
AA1	19	20	AA2
AA3	21	22	AA4
CONV*	23	24	CONVD*
CS07*	25	26	CS08*
CSADC*	27	28	BUSYP1
BUSYP2	29	30	-
-	31	32	-
+5 V	33	34	+5 V
+5 V	35	36	+5 V
-15 V	37	38	-15 V
+15V	39	40	+15 V
GNDA	41	42	GNDA
GNDA	43	44	GNDA
GNDA	45	46	GNDA
GNDA	47	48	GNDA
GNDA	49	50	GNDA

Buchsenleiste 2x25

5.1.8 Steckverbinder für optionales DSP-Add-On (P5, P6, X4)

P5

Signal	Pin		Signal
LD0	1	2	LD1
LD2	3	4	LD3
LD4	5	6	LD5
LD6	7	8	LD7
LD8	9	10	LD9
LD10	11	12	LD11
LD12	13	14	LD13
LD14	15	16	LD15
LA1	17	18	LA2
LA3	19	20	LA4
LA5	21	22	LA6
LA7	23	24	LA8
LA9	25	26	LA10
LA11	27	28	LA12
LA13	29	30	LA14
LA15	31	32	LA16
LA17	33	34	LREAD*
LDS0*	35	36	LDS1*
LAS*	37	38	LDTACK*
DSPREQ*	39	40	DSPACK*

Buchsenleiste 2x20

P6

Signal	Pin		Signal
D8	1	2	D9
D10	3	4	D11
D12	5	6	D13
D14	7	8	D15
A1	9	10	A2
A3	11	12	CSDSP*
R/W*	13	14	RESET*
SWCONV*	15	16	SWADREQ*
SWCOM*	17	18	DREQ0*
DREQ1*	19	20	DB1
DB2	21	22	DB3
DB4	23	24	DB5
VCC	25	26	VCC
VCC	27	28	VCC
VCC	29	30	VCC
VCC	31	32	VCC
GND	33	34	GND
GND	35	36	GND
GND	37	38	GND
GND	39	40	GND

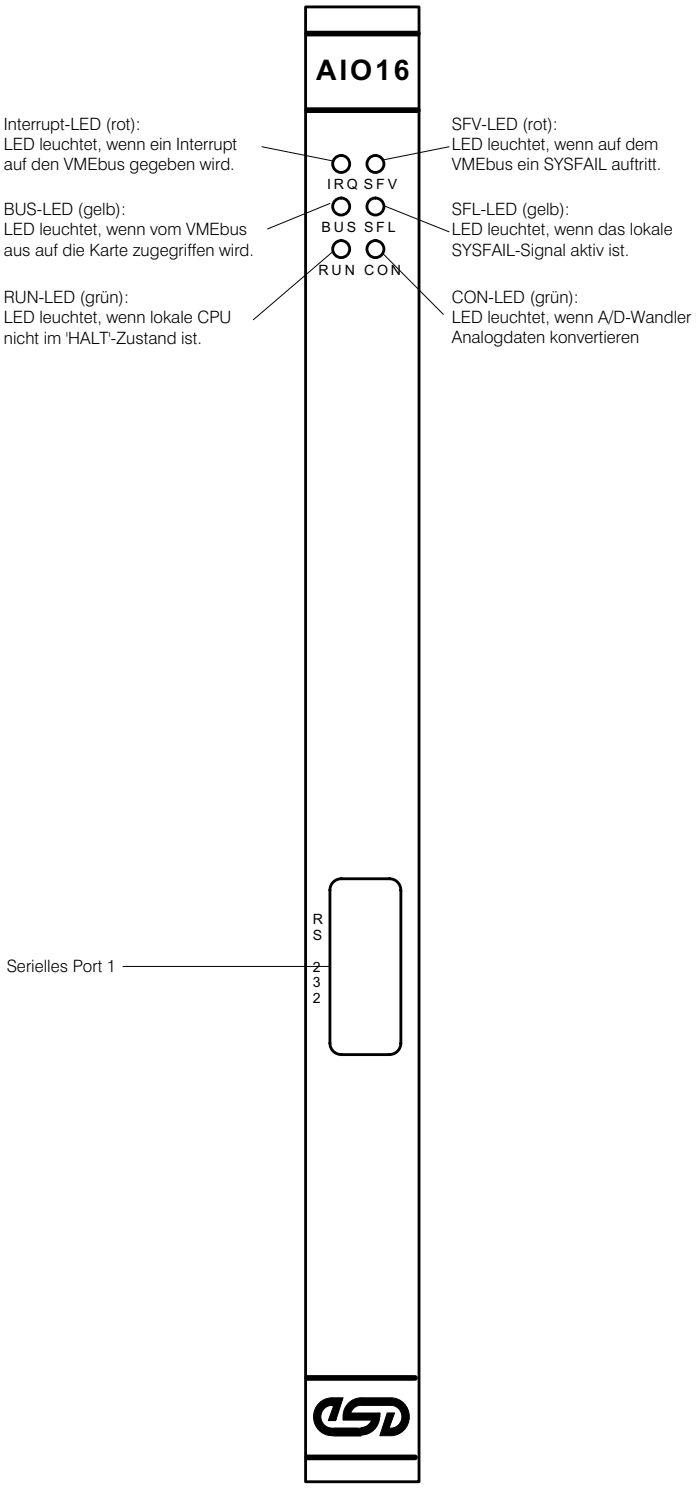
Buchsenleiste 2x20

X4

Pin	Signal
1	DB1
2	DB2
3	DB3
4	DB4
5	DB5
6	DB6

Pfostenleiste 1x6

5.2 Frontplatte



5.3 Stromlaufpläne

5.4 Datenblätter

esd gmbh **Abt. Dokumentation** **Vahrenwalder Str. 205** **D-30165 Hannover** **FAX: 0511 - 63 36 50**	**Absender** (bitte angeben) Name Firma Dienststelle Abteilung Anschrift
❑ Korrekturen ❑ Vorschläge	Telefon FAX

Wir hoffen, daß Ihnen dieses Handbuch bei der Inbetriebnahme und Bedienung von Nutzen war. Sollten Ihnen beim Lesen Fehler aufgefallen sein, so teilen Sie uns dies bitte auf diesem Vordruck mit. Auch wenn Sie Informationen vermissen oder Anregungen zum Handbuch haben, sind wir für eine Mitteilung dankbar.

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....