VME - IGP / GDP

Intelligenter Grafik-Controller

Der Inhalt dieses Handbuches wurde mit größter Sorgfalt erarbeitet und geprüft. esd übernimmt jedoch keine Verantwortung für Schäden, die aus Fehlern in der Dokumentation resultieren könnten. Insbesondere Beschreibungen und technische Daten sind keine zugesicherten Eigenschaften im rechtlichen Sinne.

esd hat das Recht, Änderungen am beschriebenen Produkt oder an der Dokumentation ohne vorherige Ankündigung vorzunehmen, wenn sie aus Gründen der Zuverlässigkeit oder Qualitätssicherung vorgenommen werden oder dem technischen Fortschritt dienen.

Sämtliche Rechte an der Dokumentation liegen bei esd. Die Weitergabe an Dritte und Vervielfältigung jeder Art, auch auszugsweise, sind nur mit schriftlicher Genehmigung durch esd gestattet.

esd electronic system design gmbh
Vahrenwalder Str. 205
D-30165 Hannover

Tel.: 0511/37298-0
FAX: 0511/633650
E-Mail: pm@esd.h.eunet.de

Änderungen im Anwender-Handbuch IGP-11H.MA6 05.09.96

beschriebene Platinenversion	IGP-32 1.1

Änderungen in den Kapiteln

Die hier aufgeführten Änderungen im Anwenderhandbuch betreffen sowohl Änderungen in der **Hardware** als auch reine Änderungen in der **Beschreibung** der Sachverhalte.

Kapitel	Änderungen gegenüber Vorversion
1-5	Die alternative Nutzung des Maus-Ports als serielle Schnittstelle ist ab Platinenversion IGP-32 1.1 nicht mehr möglich.

Weitere technische Änderungen vorbehalten.

Inhalt

Seite

1. Übersicht 3
1.1 VME-IGP 3
1.2 VME-GDP 4
1.3 Zusammenfassung der technischen Daten 5
1.3.1 Allgemeines 5
1.3.2 Mikroprozessor-Baugruppen (nur IGP) 6
1.3.3 RS232-Schnittstellen und Maus-Interface 7
1.3.4 Tastatur-Interfaces 7
1.3.5 AUI-Port (nur IGP) 7
1.3.6 Grafik-Baugruppen 8
1.3.7 Echtzeit-Software 9
1.4 Bestellinformationen 10

2. Platinenansicht und Konfigurationssteckbrücken 11
2.1 Default-Einstellung der Brücken 13
2.2 Speicherkapazität der SRAM-Bausteine (J2) 14
2.3 Freigabe des SYSFAIL-Ausgangs auf den VMEbus (J3) 15
2.4 Speicherkapazität der DRAM-Bausteine der Grafik-Baugruppe (J4, J5) 16
2.5 Zeitverhalten des Steuersignals 'DT*' der VIDEO-RAMs (J6) 18
2.6 Beschaltung der Buchse BNC4 mit Synchronisationssignalen (J7) 19

3. Adreßbelegung der IGP 21
3.1 Address Modifier 21
3.2 Adressen für VMEbus-Zugriffe 22
3.2.1 A16-Zugriffe 22
3.2.2 A24-Zugriffe 23
3.2.3 A32-Zugriffe 24
3.2.4 Übersicht der Adreßaufteilung bei VMEbus-Zugriffen 25
3.3 Lage der Adreßbereiche 26

4. Beschreibung der Baugruppen 29
4.1 Serielle Schnittstellen und MAUS-Port 29
4.1.1 Konfiguration der RS232-Schnittstellen 30
4.1.2 Anschluß der RS232-Schnittstellen 30
4.1.2.1 RS232-Schnittstelle Kanal 2 (nur IGP) 31
4.1.3 MAUS-Port 31
4.2 Spannungsüberwachung und RESET 32
4.3 Grafik-Baugruppen 33
4.3.1 Grafikprozessor 33
4.3.1.1 Befehlssatz 33
4.3.1.2 Zeichengeschwindigkeit 33
4.3.1.3 RAM-Schnittstelle 34
4.3.1.4 Windowing 34
4.3.2 Grafik-Speicher 35
4.3.3 Color-Look-Up-Table Bt459 36
4.3.3.1 Serialisierung des Datenstromes 36
4.3.3.2 Color-Look-Up-RAM 36
4.3.3.3 Monitor-Interface 36

Inhalt

Seite

4.3.3.4 Hardware-Cursor 37
4.3.3.5 Sonderfunktionen 37
4.3.4 Pixel-Clock Generator 38
4.4 AUI-Interface (nur IGP) 39
4.5 Tastatur-Interfaces und optischer Drehschalter 40
4.5.1 MF2-Tastatur (Keyboard) 40
4.5.2 Matrixtastatur 41
4.5.3 Optischer Drehschalter 41

5. Anhang 43
5.1 Steckerbelegungen 43
5.1.1 VMEbus P1 43
5.1.2 VMEbus-Signale auf P2 44
5.1.3 I/O-Signale auf P2 45
5.1.4 Bedeutung der I/O-Signale auf P2 46
5.1.5 Maus-Port in Frontplatte 47
5.1.6 BDM-Schnittstelle (P5 - nur IGP) 48
5.1.7 Video-Signale (BNC1...BNC5) 48
5.2 Frontplatten 49
5.2.1 IGP 49
5.2.2 GDP 50
5.3 Stromlaufpläne 51

1. Übersicht

Dieses Handbuch beschreibt die Hardware-Eigenschaften der Grafik-Boards IGP und GDP. Das GDP-Board ist ähnlich wie das IGP-Board, jedoch ohne eigene Intelligenz und ETHERNET-Interface, aufgebaut.

Die folgenden Beschreibungen sind für beide Ausführungen gültig. Einschränkungen oder Unterschiede, die sich durch die verschiedenen Ausführungen ergeben, werden im Einzelfall mit angegeben.

1.1 VME-IGP

Die VME-IGP ist eine intelligente Farbgrafikkarte mit ETHERNET-Schnittstelle. Sie trägt eine CPU MC68360, bis zu 16 MByte DRAM und bis zu 2 MByte Shared-SRAM.

Der Grafikteil des VMEbus Slave-Boards ist bestückt mit einem leistungsfähigen Grafik-Controller vom Typ GDP HD64400. Für den Bildspeicher stehen bis zu 2 MByte Video-RAM und maximal weitere 16 MByte DRAM als Bildpuffer und GDP-Befehlsspeicher zur Verfügung.

Die Grafikkarte hat eine 8 Bit Color-Lookup-Tabelle für 256 aus 16,7 Millionen Farben. Das Grafik-Fenster kann über den gesamten Videospeicher verschoben werden. Die maximale Pixelfrequenz der VME-IGP beträgt 135 MHz. Daraus ergibt sich bei einer Ausflösung von 1024 x 768 Bildpunkten eine Bildwiederholfrequenz von 105 Hz.

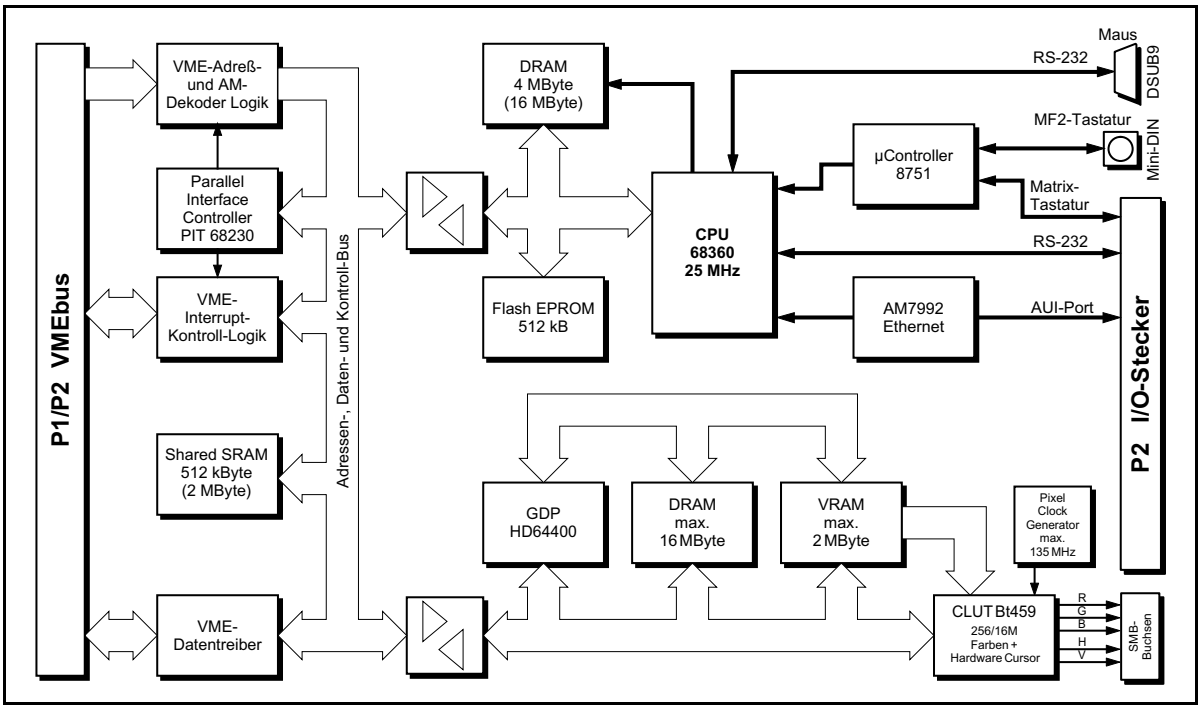


Abb. 1.1.1: Blockschaltbild der IGP

1.2 VME-GDP

Die Grafik-Baugruppen der VME-GDP sind identisch zur IGP aufgebaut. Das GDP-Board ist jedoch nicht mit der Prozessorbaugruppe, dem ETHERNET-Interface und der RS232-Schnittstelle auf den I/O-Stecker P2 ausgestattet.

Die Ansteuerung der seriellen Schnittstellen und das Interface zum µController 8751 werden mit dem DUART 2681 realisiert.

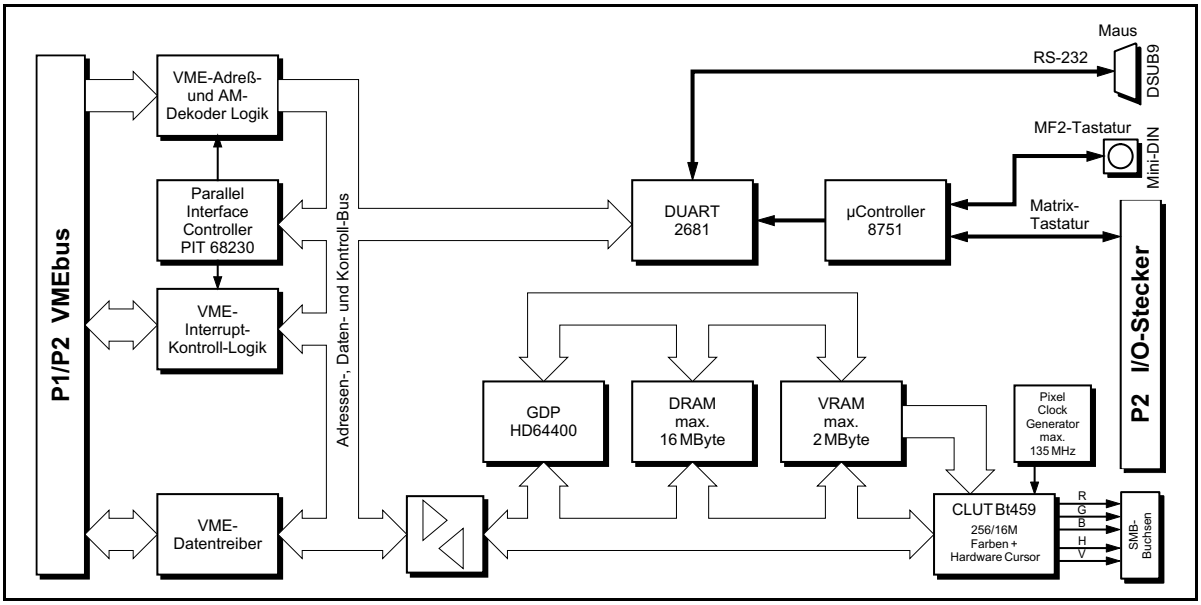


Abb. 1.2.1: Blockschaltbild der GDP

1.3 Zusammenfassung der technischen Daten

1.3.1 Allgemeines

VMEbus-Interface	IEEE 1014 Rev. D
Data-Transfermode	SADO32 - Slave mit A32/D16-Zugriff SD32 - Slave mit A32/D32-Zugriff (*)
Adreß-Dekodierung und Interrupt-Handling	über PIT 68230
Temperaturbereich	max. zulässige Umgebungstemperatur: 0...50 °C
Luftfeuchtigkeit	max. 90%, nicht kondensierend
Steckverbinder	P1 - DIN 41612-C96 (VMEbus) P2 - DIN 41612-C96 (VMEbus und Prozeß-I/Os) P3 - MiniDIN-Buchse (MF2-Tastatur) P4 - DSUB9/Stifte (Maus) P5 - Stiftleiste 2x5 (BDM-Interface der CPU68360-nur IGP) BNC1...BNC5 - SMB-Buchsen (VIDEO- und SYNC-Signale)
Größe der Platine	160 mm x 233 mm
Einschubformat	6 HE hoch / 4 TE breit
Gewicht	ca. 420 g (IGP) ca. 350 g (GDP)
Bauteil-Ausführung	SMD
Spannungsversorgung über VMEbus	+12 V ±5% -12 V ±5% IGP: +5 V ±5% / 3,7A GDP: +5 V ±5% / 3,2A

(*) Zum Betrieb mit der angebotenen Software muß die Karte im A32/D32-Mode angesrochen werden.

1.3.2 Mikroprozessor-Baugruppen (nur IGP)

CPU	16 / 32 Bit - µController 68360 / 25 MHz
DRAM	nur für lokale CPU (kein VMEbus-Zugriff möglich): Speicherkapazität: 4 MByte bis 16 MByte (standard = 4 MB) Datenbreite: 32 Bit
Shared SRAM	Shared RAM als Kommunikationsschnittstelle: Zugriff über VMEbus und lokale CPU möglich, Speicherkapazität: 512 kByte (optional 2 MByte) Datenbreite: 32 Bit
Flash™-EPROM	Zugriff über VMEbus und lokale CPU möglich, Speicherkapazität: 512 kByte Datenbreite: 8 Bit (D24-D31)
Watchdog	intern in CPU 68360
Interrupts	Interrupts auf VMEbus, Level programmierbar, Interrupt-Handler für Mailbox-Interrupts vom VMEbus

1.3.3 RS232-Schnittstellen und Maus-Interface

	IGP	GDP
Anzahl	2 (1 x RS232, 1 x Maus)	1 (1 x Maus)
Anschluß	DSUB9-Stecker in Frontplatte (MS- oder Genius-Maus) I/O-Stecker P2 (RS232)	DSUB9-Stecker in Frontplatte (MS- oder Genius-Maus)
Baudrate	1 x 19200 Baud, 1 x 1200 Baud	1200 Baud
Ansteuerung	CPU 68360	DUART 2681

1.3.4 Tastatur-Interfaces

	IGP	GDP
MF2-Tastatur	Anschluß über MiniDIN-Buchse in Frontplatte (AT-Kompatibel)	
Matrixtastatur	Anschluß über I/O-Stecker P2 von bis zu 8 x 8 Tasten (z.Zt. noch nicht implementiert)	
Auswertung der Tastaturen	über µController 8751 und CPU 68360	über µController 8751 und DUART 2681

1.3.5 AUI-Port (nur IGP)

Ansteuerung/ Treiberbaustein	AM7992
Anschluß	I/O-Stecker P2
Galvanische Trennung	mittels Übertrager
Absicherung der +12V- Versorgungsspannung	Pico-Fuse, 1.0 A

1.3.6 Grafik-Baugruppen

Grafik-Controller	GDP HD 64400
Video-RAM	max. 2 MByte (standard: 1 MByte)
DRAM	max. 16 MByte (standard: 0 MByte)
Pixel Clock Generator	programmierbar: Max. 135 MHz
Color Look-Up Table	CLUT Bt459
Anzahl der Bildpunkte	max. 1600 x 1280
Auflösung (*)	programmierbar, z.B.: Auflösung / Bildpunktfrequenz / Bildwiederholfrequenz horizontal / Bildwiederholfrequenz vertikal 1600 x 1200 / 135 MHz / 64 Hz / 52 Hz 1280 x 1024 / 135 MHz / 78 Hz / 75 Hz 1024 x 768 / 135 MHz / 84 Hz / 105 Hz
Farbinformation/Pixel	8 Bit
Anzahl Farben	256 aus 16,7 Millionen Farben
Video-Ausgang	RGB analog, H/CSYNC und VSYNC an SMB-Buchsen in Frontplatte

(*) Alle Auflösungen, die größer als 800 x 640 Pixel sind, benötigen zwingend 2 MByte VRAM.

1.3.7 Echtzeit-Software

Auf der VME-IGP ist standardmäßig das Laufzeitsystem des Echtzeit-Multitasking-Betriebssystems PEARL/RTOS-UH integriert.

Die Kommunikation mit der VMEbus-Master-CPU-Karte erfolgt über das Dual-Ported-SRAM, in das Grafikbefehle als Batch-Kommandos abgelegt werden können. Der Grafik-Controller kann Interrupts verarbeiten und auch VMEbus-Interrupts erzeugen.

Zur Unterstützung der leistungsfähigen Befehle des Grafik-Controllers GDP 64400 ist das multitaskingfähige Grafikpaket PGRAF für die Host-CPU lieferbar. Es muß separat bestellt werden.
Das Grafikpaket beinhaltet grafische Grundfunktionen zur Darstellung von Prozeßgrafiken wie das Zeichnen von frei definierbaren Linien und Polygonzügen, Kreisen und Ellipsen sowie Kreis- und Ellipsenbögen im absoluten oder relativen Modus. Ferner enthält das Grafikpaket PGRAF Funktionen für das Zooming mit oder ohne Interpolation, stufenloses Rotieren von Grafikelementen, Clipping (Definieren eines Bereiches, in dem das Zeichnen erlaubt bzw. verboten ist), komplexe Textdarstellungen inklusive Proportionalschrift und Italics sowie das Füllen geschlossene Flächen mit einem beliebig definierbaren Füllmuster unterstützt. Zusätzlich zur Grafikausgabe wird eine Terminalemulation ähnlich VT52 zur Textausgabe unterstützt.

Der Window-Manager WiM bietet eine komfortable, echtzeitfähige Anwender-Schnittstelle. Für die Programmierung bietet er Text-Fenster und für die Prozeßvisualisierung Grafik-Fenster. Icons werden auf dem Desktop und in den Fenstern unterstützt.
Über das EVENT-Interface kann jedes C oder PEARL-Programm zu einer Maus-gesteuerten Anwendung werden.

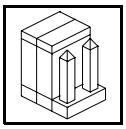
Eine Hardcopy-Funktion auf verschiedene Drucker wie z.B. NEC P62 Color oder HP DeskJet 5xx/6xx wird unterstützt.

PGRAF, WiM und HCOPY werden in eigenen Handbüchern beschrieben.

1.4 Bestellinformationen

Typ	Eigenschaften	Bestell-Nr.
VME-IGP-1M	Intelligente Grafikkarte mit CPU 68360, 4 MB CPU-DRAM, 512 kB FLASH-EPROM, 512 kB SRAM, Maus- und Tastatur-Interface, AUI-Interface, GDP64400, 1 MB VRAM	V.1505.02
VME-IGP-2M	wie oben, jedoch 2 MB VRAM (Alle Auflösungen, die größer als 800 x 640 Pixel sind, benötigen zwingend 2 MByte VRAM.)	V.1505.04
VME-IGP-4MD-GDP	4 MB Grafik-DRAM zusätzlich	V.1505.11
VME-IGP-16MD-GDP	16 MB Grafik-DRAM zusätzlich	V.1505.12
VME-IGP-16MD-CPU	16 MB CPU-DRAM statt 4 MB	V.1505.13
VME-GDP-1M	Hochauflösende Grafikkarte mit Maus- und Tastatur-Interface, GDP64400, 1 MB VRAM	V.1504.02
VME-GDP-2M	wie oben, jedoch 2 MB VRAM	V.1504.04
VME-GDP-4MD-GDP	4 MB Grafik-DRAM zusätzlich	V.1504.11
VME-GDP-16MD-GDP	16 MB Grafik-DRAM zusätzlich	V.1504.12
VME-IGP-PGRAF	PEARL-Grafik Bibliothek	V.1505.40
VME-IGP-WiM	Window-Manager	V.1505.41
VME-IGP-X.11-Server	X.11-Server (ETHERNET) für IGP	V.1505.42
VME-IGP-OS9	Grafik-Bibliothek zum Betrieb der IGP-Grafikkarte unter OS9	V.1505.50
GED	Grafik-Editor	P.4016.02
HCOPY	Hardcopy-Programm	P.4021.01
IGP-MD	Anwenderhandbuch in deutsch für IGP und GDP (*)	M.1505.20

(*) Wird das Handbuch gemeinsam mit der Karte bestellt, so wird es kostenlos mitgeliefert.



2. Platinenansicht und Konfigurationssteckbrücken

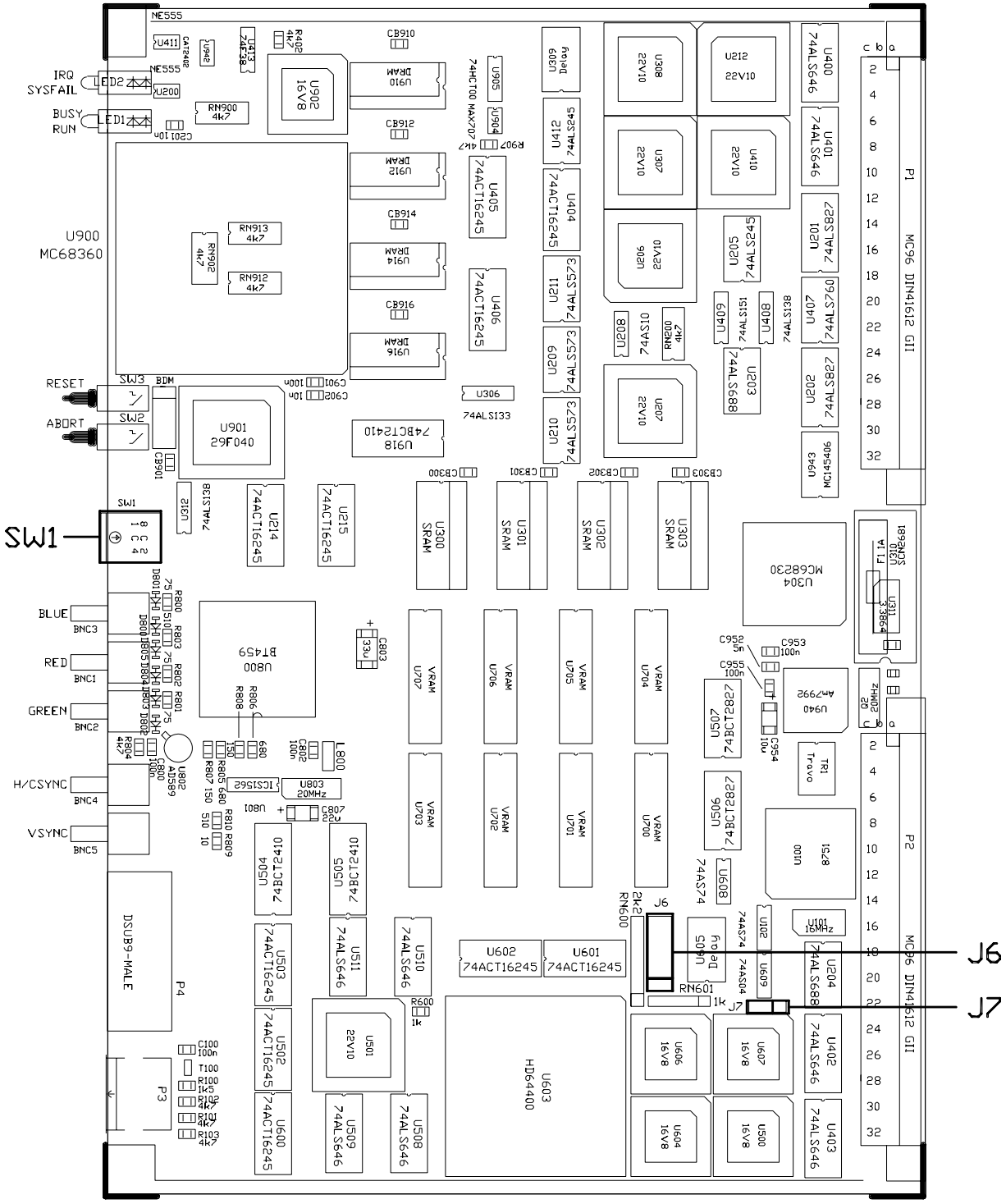


Abb. 2.1.1: Lage der Steckbrücken auf der IGP

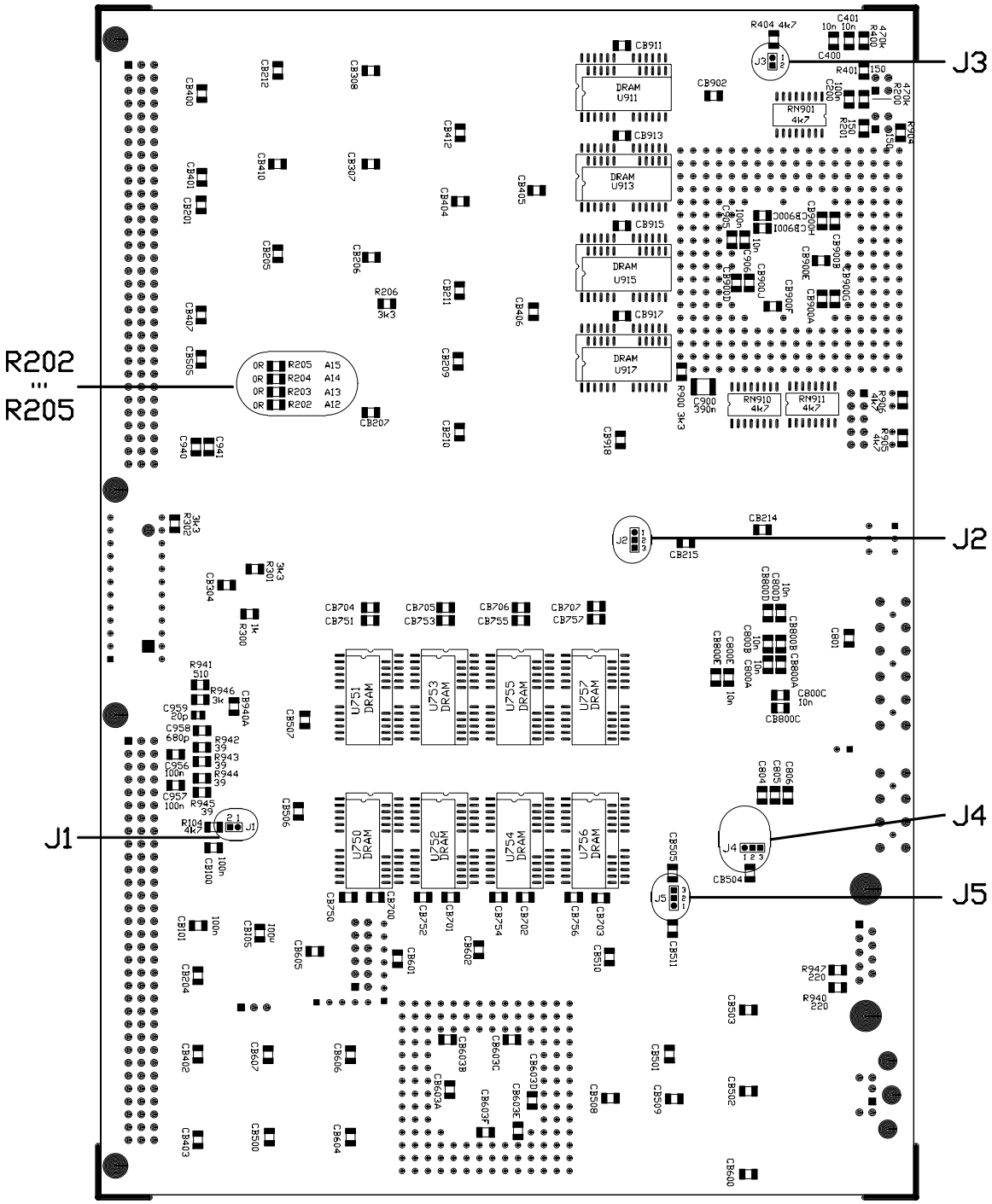


Abb. 2.1.2: Lage der Lötbrücken auf der Platinenunterseite

2.1 Default-Einstellung der Brücken

Die jeweilige Default-Einstellung bei Auslieferung der Karte ist in die folgende Tabelle eingetragen.

Die Anordnung der Steckbrücken kann Abbildung 2.1.1 entnommen werden. Die Steckbrücken sind in den anschließenden Beschreibungen so dargestellt, wie sie der Anwender sieht, wenn er die Platine mit den VMEbus-Steckern nach rechts vor sich liegen hat.

Die Anordnung der Lötbrücken kann Abbildung 2.1.2 entnommen werden. Die Lötbrücken sind in den anschließenden Beschreibungen so dargestellt, wie sie der Anwender auf der Platinenunterseite sieht, wenn er die Platine mit den VMEbus-Steckern nach links vor sich liegen hat.

Lötbrücke	Funktion	Einstellung
J1	Lötbrücke wird nicht ausgewertet	ohne Bedeutung
J2	Speicherkapazität der SRAM-Bausteine (*)	4 Bausteine à (128 k x 8 Bit) = 512 kByte (Bestückungsabhängig)
J3	SYSFAIL an VMEbus	offen, d.h. das lokale SYSFAIL wird nicht an den VMEbus weitergegeben
J4, J5	Speicherkapazität der DRAM-Bausteine der Grafik-Baugruppe (*)	8 Bausteine à (1 M x 4) = 4 MByte (Bestückungsabhängig)
R202... R205	Festlegung der Adreß-Bits A12...A15 der Basisadresse bei A16-Zugriffen	kein Widerstand bestückt, d.h. alle Adreß-Bits = '1'

Steckbrücke	Funktion	Einstellung
J6	Zeitverhalten des Steuersignals 'DT*' der VIDEO-RAMs	abhängig vom eingesetzten VIDEO-RAM-Typ und der Pixelfrequenz
J7	Beschaltung der Buchse BNC4 mit Synchronisationssignalen	CSYNC* liegt an BNC4

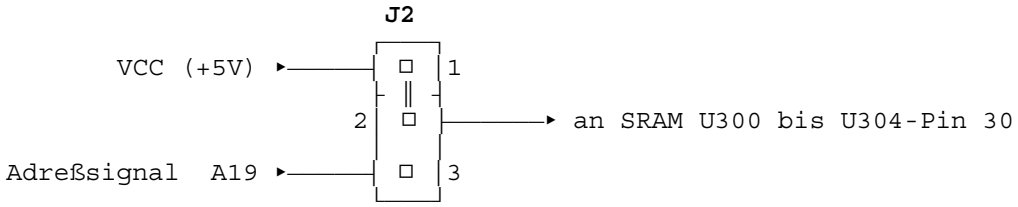
(*) Die SRAM- und die DRAM-Bausteine sind in SMD-Technik ausgeführt. Die Bestückung wird im Werk vorgenommen und kann vom Anwender nicht verändert werden.

Tabelle 2.1.1: Stellung der Brücken bei Auslieferung der Karte

2.2 Speicherkapazität der SRAM-Bausteine (J2)

Über diese Lötbrücke wird Pin 30 der SRAMs entweder mit VCC (+5 V) oder mit dem lokalen Adreßsignal A19 belegt.

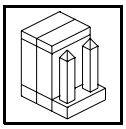
Die SRAM-Bausteine sind in SMD-Technik ausgeführt. Die Bestückung wird im Werk vorgenommen und kann vom Anwender nicht verändert werden!



Dargestelltes Beispiel: SRAMs-Bausteine der Größe 128 k x 8 Bit sind eingesetzt (Standardeinstellung).

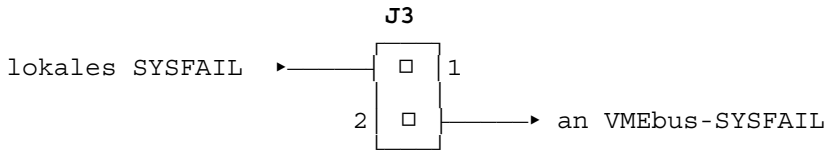
Stellung der Lötbrücke J2	Speicherkapazität der SRAM-Bausteine
1-2 (VCC an Pin 30)	4 Bausteine à (128 k x 8 Bit) = 512 kByte
2-3 (A19 an Pin 30)	4 Bausteine à (512 k x 8 Bit) = 2 MByte

Tabelle 2.2.1: Einstellung der SRAM-Speicherkapazität über Lötbrücke J2



2.3 Freigabe des SYSFAIL-Ausgangs auf den VMEbus (J3)

Das lokale SYSFAIL-Signal wird über J3 auf den VMEbus geschaltet. Das aktive SYSFAIL-Signal wird über eine gelbe LED in der Frontplatte angezeigt.



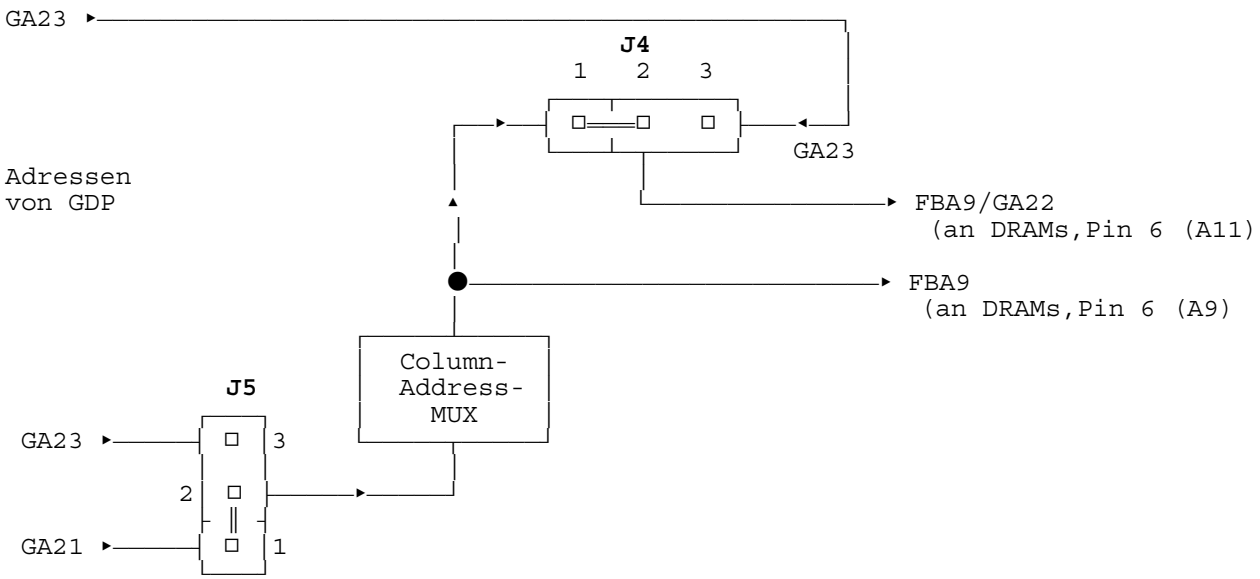
Dargestelltes Beispiel: Lötbrücke offen, d.h. kein SYSFAIL an VMEbus (Standardeinstellung)

2.4 Speicherkapazität der DRAM-Bausteine der Grafik-Baugruppe (J4, J5)

Über diese Lötbrücken wird Pin 6 der DRAMs mit verschiedenen Adreß-Signalen belegt. Die Adressen der DRAMs werden vom GDP HD64400 über einen Multiplexer versorgt, der die Column-Address und die Row-Address an die Speicher-Bausteine anlegt.

Die Lötbrücke J5 unterscheidet, ob 1 M x 4, bzw. 4 M x 4 DRAM-Bausteine bestückt sind. Über die Lötbrücke J4 kann entschieden werden, ob 4 M x 4 DRAMs mit 11/11 Row-/Column-Adressen oder 12/10 Row-/Column-Adressen verwendet werden.

Die DRAM-Bausteine sind in SMD-Technik ausgeführt. Die Bestückung wird im Werk vorgenommen und kann vom Anwender nicht verändert werden!



Dargestelltes Beispiel: DRAM-Bausteine der Größe 1 M x 4 sind eingesetzt (Standardeinstellung)

Die folgende Tabelle zeigt die zulässigen Stellungen der Lötbrücken für die beiden alternativen Speicherbestückungen.

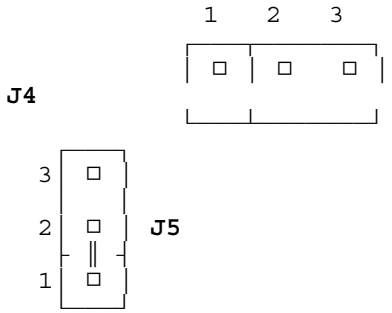
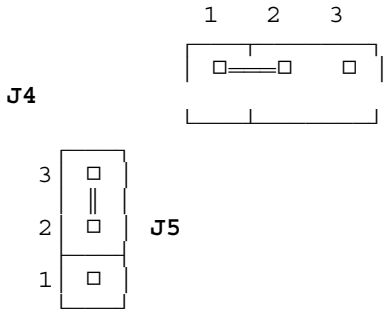
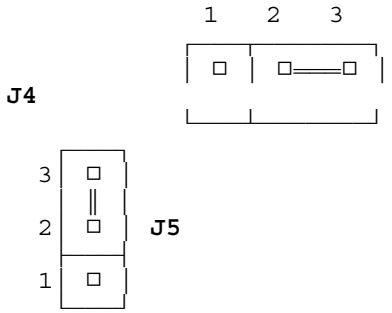
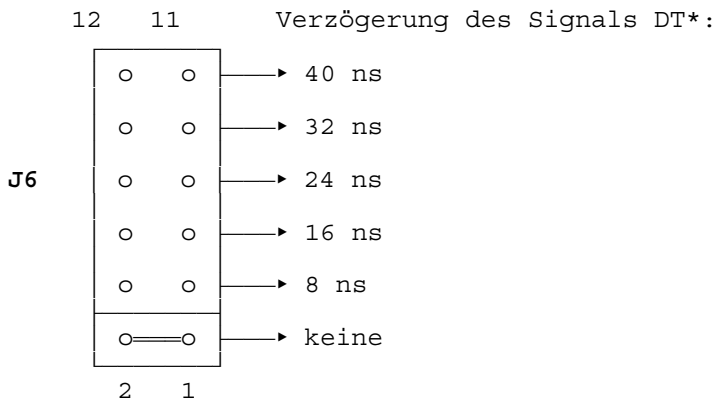
zulässige Stellungen der Lötbrücken J4 und J5	Speicherkapazität der DRAM-Bausteine
	8 Bausteine à (1 M x 4) = 4 MByte Default-Einstellung
	8 Bausteine à (4 M x 4) = 16 MByte mit 11/11 Row-/Column-Adressen
	8 Bausteine à (4 M x 4) = 16 MByte mit 12/10 Row-/Column-Adressen

Tabelle 2.4.1: Einstellung der DRAM-Speicherkapazität über die Lötbrücken J4 und J5

2.5 Zeitverhalten des Steuersignals 'DT*' der VIDEO-RAMs (J6)

Mit dem Signal DT* wird der Datentransfer vom DRAM-Teil eines VIDEO-RAMs in das serielle Ausgangsregister des Bausteins initiiert. Dieses Signal muß in einer festen zeitlichen Beziehung zu dem Eingangstakt SC, mit dem die seriellen Daten ausgelesen werden, stehen. Bei den gegebenen Video-Taktfrequenzen von bis zu 135 MHz kann die notwendige Zeitverzögerung des DT-Signals aufgrund der Bauteiltoleranzen mit dem eingesetztem Baustein-Typ (Hersteller) variieren.

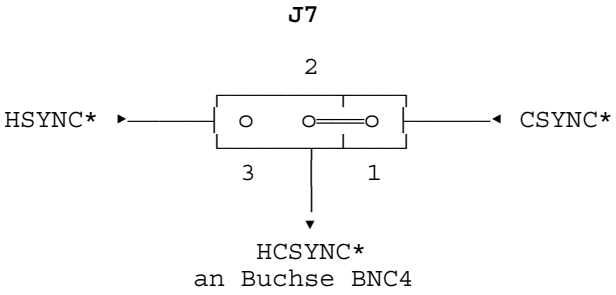


Dargestelltes Beispiel: DT* wird unverzögert weitergegeben

Anmerkung: Die Standardeinstellung bei Auslieferung der Karte kann je nach eingesetztem VIDEO-RAM-Typ variieren.

2.6 Beschaltung der Buchse BNC4 mit Synchronisationssignalen (J7)

Mit Hilfe dieser Steckbrücke wird die Buchse BNC4 in der Frontplatte entweder mit dem Signal HSYNC oder mit dem Signal CSYNC belegt.



Dargestelltes Beispiel: CSYNC* an Buchse BNC4 (Standardeinstellung)

Stellung der Steckbrücke J7	Belegung der Buchse BNC4
1-2	CSYNC*
2-3	HSYNC*

Tabelle 2.6.1: Belegung der Buchse BNC4 über J7

3. Adreßbelegung der IGP

3.1 Address Modifier

Die IGP wertet das Address-Modifier-Signal AM2 nicht aus. Folgende Address-Modifier-Kombinationen sind zulässig:

Address Modifier					zugelassene VMEbus Zugriffsarten
AM5	AM4	AM3	AM1	AM0	
0	0	1	0	1	$0D - Extended Supervisory Data Access $09 - Extended Non-Privileged Data Access
0	1				Anwender-definierbare Zugriffsarten sind möglich.
1	0				$2D - Short Supervisory Access $29 - Short Non-Privileged Access
1	1				$3D - Standard Supervisory Data Access $39 - Standard Non-Privileged Data Access

Tabelle 3.1.1: Auswahl der VMEbus-Zugriffe über Address Modifier

3.2 Adressen für VMEbus-Zugriffe

Die IGP/GDP kann vom VMEbus mit A16-, A24- und A32-Zugriffen adressiert werden.

Über die A16-Zugriffe wird nur auf den PIT 68230 zugegriffen. Die A16-Basisadresse der Karte wird über den Kodierschalter SW1 in der Frontplatte und die 0Ω-Widerstände R202...R205, die als Brücken gesetzt werden, eingestellt.

Mit A24- und A32-Zugriffen können das Shared RAM, die Grafik-Baugruppen und das FLASH-EPROM des lokalen Prozessorbusses adressiert werden. Die VMEbus-Basisadressen für diese Zugriffsarten werden über die A- und B-Ports des PIT 68230 eingestellt.

3.2.1 A16-Zugriffe

Mit A16-Zugriffen wird die Basisadresse der Karte für A24 und A32-Zugriffe in den Port-Registern des PIT 68230 programmiert.

Die A16-Basisadresse wird von den Adressen A8 bis A15 gebildet. A8 bis A11 werden hierbei mit der Einstellung des Kodierschalters SW1 verglichen. A12 bis A15 werden mit den über die Widerstände R202 bis R205 eingestellten Pegeln verglichen. Ist einer dieser 0Ω-Widerstände bestückt, so wird das entsprechende Bit als '0' ausdekodiert. Die Lage der Widerstände auf der Lötseite der Platine ist im vorangegangenen Kapitel 'Platinenansicht und Konfigurationssteckbrücken' in Abbildung 2.1.2 dargestellt. Bei Auslieferung der Karte ist kein Widerstand bestückt.

Die VMEbus-Adressen A16 bis A31 werden bei A16-Zugriffen nicht ausgewertet.

Adreß-Bit der A16-Basisadresse	A15	A14	A13	A12	A11	A10	A9	A8
Festlegung des Pegels	Widerstand...				Kodierschalter SW1 in Frontplatte			
	R205	R204	R203	R202				

Tabelle 3.2.1: Festlegung der A16-Basisadresse

Die VMEbus-Adressen A1 bis A7 werden auf den lokalen Adreßbus geführt und selektieren gemeinsam mit DS0*, DS1* die Register des PIT 68230. Die Register werden mit Byte-Zugriffen auf D0 bis D7 gesetzt und gelesen.

Adresse [HEX]	PIT-Register	
aaC2 aaC8 aaCA	Port A	Data Direction Register Data Register (write) Alternate Register (read)
aaC3 aaC9 aaCB	Port B	Data Direction Register Data Register (write) Alternate Register (read)
aaC4 aaCC	Port C	Data Direction Register Data Register (read/write)

aa... Über Widerstände und Kodierschalter eingestellte A16-Basisadresse.

Tabelle 3.2.2: Register des PIT 68230 zum Setzen der A24 und A32-Basisadressen

3.2.2 A24-Zugriffe

Wie bereits beschrieben, wird die A24-Basisadresse über die PIT-Register eingestellt. Mit dem PIT-Port-Signal 'XADDR*' (Port-Bit C3) wird außerdem zwischen A24- und A32-Zugriffen unterschieden. Ist dieses Bit auf '1' gesetzt, so reagiert die Karte nur auf A24-Zugriffe.

Der lokale Adreßraum, der vom VMEbus aus adressiert werden kann, hängt bei A24-Zugriffen von der Anzahl der zur Dekodierung der Basisadresse herangezogenen Adressen ab. Je mehr Adressen zu Dekodierung der VMEbus-Basisadresse herangezogen werden, desto kleiner wird der lokal adressierbare Bereich und umgekehrt. Im Extremfall kann z.B. der gesamte A24-Adreßraum (16 MByte) des VMEbus mit dem Grafik-Board belegt werden. In diesem Fall ist der lokale Adreßraum vollständig vom VMEbus aus zugänglich.

Über das PIT-Port-Signal 'ENCPU*' (Port C4) kann auf der IGP außerdem der lokale CPU-Bus für den VMEbus zugänglich gemacht werden. Wird dieses Bit auf '0' gesetzt, so wird nicht mehr auf den 'Shared-Adreßbereich' (Shared-RAM, PIT 68230 und Grafik-Baugruppen), sondern auf das FLASH-EPROM der lokalen CPU zugegriffen. Diese Option ist vorgesehen, um das FLASH-EPROM über den VMEbus zu programmieren.

Die folgende Tabelle zeigt die möglichen Adreßräume und die Adreß-Bits, die dabei zur Dekodierung der A24-Basisadresse herangezogen werden können. Im rechten Teil der Tabelle finden sich die Port-Bits des PIT 68230, über die der gewünschte Adreßbereich und gleichzeitig die Bits der VMEbus-Basisadresse gesetzt werden. Mit den Einträgen '0' und '1' wird der gewünschte Adreßraum selektiert. Mit den hierfür nicht benötigten Port-Bits wird der Pegel der Adreß-Bits für die A24-Basisadresse eingestellt.

vom VMEbus zugänglicher Adreßbereich	VMEbus-Adreß-Bits für Basisadresse	Port-Bits des PIT 68230				
		P23 (PB7)	P22 (PB6)	P21 (PB5)	P20 (PB4)	XADDR (PC3)
2 MByte	A23...A21	setzt A23	setzt A22	setzt A21	0	1
4 MByte	A23, A22	setzt A23	setzt A22	0	1	1
8 MByte	A23	setzt A23	0	1	1	1
16 MByte	keine	0	1	1	1	1

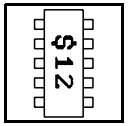
Tabelle 3.2.3: Auswahl des zugänglichen Adreßbereiches und Setzen der Bits für die A24-Basisadresse über PIT-Ports

3.2.3 A32-Zugriffe

Für A32-Zugriffe auf die Grafikkarte gelten die gleichen Bedingungen wie für die A24-Zugriffe. Zusätzlich ist jedoch zu beachten:
Es müssen weitere Basisadressen über das PIT-Port A gesetzt werden. Die Karte reagiert nur auf A32-Zugriffe, wenn das PIT-Port-Signal 'XADDR*' (Port-Bit C3) auf '0' gesetzt ist.

vom VMEbus zugänglicher Adreßbereich	VMEbus-Adreß-Bits für Basisadresse	Port-Bits des PIT 68230						
		P31...P25 (PA7...PA1)	P24 (PA0)	P23 (PB7)	P22 (PB6)	P21 (PB5)	P20 (PB4)	XADDR (PC3)
2 MByte	A31...A21	setzt A31...A25	setzt A24	setzt A23	setzt A22	setzt A21	0	0
4 MByte	A31...A22	setzt A31...A25	setzt A24	setzt A23	setzt A22	0	1	0
8 MByte	A31...A23	setzt A31...A25	setzt A24	setzt A23	0	1	1	0
16 MByte	A31...A24	setzt A31...A25	setzt A24	0	1	1	1	0
32 MByte	A31...A25	setzt A31...A25	0	1	1	1	1	0

Tabelle 3.2.4: Auswahl des zugänglichen Adreßbereiches und Setzen der Bits für die A32-Basisadresse über PIT-Ports



3.2.4 Übersicht der Adreßaufteilung bei VMEbus-Zugriffen

VMEbus-Zugriff	PIT 68230-Port-Signal XADDR* (Port PC3)	VMEbus-Adressen																														
		A31	A30	A29	A28	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	-
A16	für A16-Zugriffe ohne Bedeutung	für A16-Zugriffe ohne Bedeutung								für A16-Zugriffe ohne Bedeutung								Festlegung der Basisadresse über															
																		R205	R204	R203	R202	Kodierschalter SW1				A7... lokale Adressen (Zugriff nur auf PIT 68230) ...A1						
A24	1	für A24-Zugriffe ohne Bedeutung								Festlegung der Basisadresse über PIT 68230-PB-Ports																						
										P23 (PB7)	P22 PB6	P21 PB5	A20... minimal verfügbarer lokaler Adreßbereich (ENCPU* = 1 -> Shared-RAM, Grafik-Baugruppen ENCPU* = 0 -> CPU-Bus: Flash-EPROM) ...A1																			
										A23... maximal verfügbarer lokaler Adreßbereich (ENCPU* = 1 -> Shared-RAM, Grafik-Baugruppen ENCPU* = 0 -> CPU-Bus: Flash-EPROM) ...A1																						
A32	0	Festlegung der Basisadresse über PIT 68230-PA-Ports								Festlegung der Basisadresse über PIT 68230-PB-Ports																						
		P31 (PA7)	P30 PA6	P29 PA5	P28 PA4	P27 PA3	P26 PA2	P25 PA1	P24 PA0)	P23 (PB7)	P22 PB6	P21 PB5	A20... minimal verfügbarer lokaler Adreßbereich (ENCPU* = 1 -> Shared-RAM, Grafik-Baugruppen ENCPU* = 0 -> CPU-Bus: Flash-EPROM) ...A1																			
		P31 (PA7)	P30 PA6	P29 PA5	P28 PA4	P27 PA3	P26 PA2	P25 PA1)	A24... maximal verfügbarer lokaler Adreßbereich (ENCPU* = 1 -> Shared-RAM, Grafik-Baugruppen ENCPU* = 0 -> CPU-Bus: Flash-EPROM) ...A1																							

3.3 Lage der Adreßbereiche

Die vom VMEbus aus sichtbare Adreßlage ist je nach programmierter Adreßraumgröße verschieden:

In der umseitigen Tabelle ist die Adreßlage für den 32 MByte-Adreßraum eingetragen. Im 8 MByte-Raum wird von der Schaltung $1000000, im 4 MByte-Raum $1400000 und im 2 MByte-Raum $1600000 addiert. Somit beginnt der jeweilige Adreßraum erst dort, wo die Bestückungsvariante auch ansprechbare Bauteile anbietet.

Zu den angegebenen Adressen ist jeweils die VMEbus-Basisadresse hinzuzuzählen.

<table>
<tr><th colspan="4">Adreßraum
lokal und VMEbus</th><th>Adresse
[HEX]</th><th>Baugruppe</th></tr>
<tr><td rowspan="8">32 MB</td><td rowspan="2"></td><td rowspan="3"></td><td rowspan="4"></td><td>0000.0000
:
00FF.FFFF</td><td>16 MB Grafik-DRAM bestückt</td></tr>
<tr><td>0100.0000
:
013F.FFFF</td><td>4 MB Grafik-DRAM bestückt</td></tr>
<tr><td rowspan="6">8 MB</td><td rowspan="4">4 MB</td><td>0140.0000
:
014F.FFFF</td><td>VRAM-Bank 0</td></tr>
<tr><td>0150.0000
:
015F.FFFF</td><td>VRAM-Bank 1</td></tr>
<tr><td rowspan="5">2 MB</td><td>0160.0000
:
017F.FEFF</td><td>Shared-RAM (DUART)
(abzüglich Adressen für Interrupt-Zellen, GDP und CLUT)</td></tr>
<tr><td>017F.FF00
:
017F.FF1F</td><td>GDP HD64400</td></tr>
<tr><td>017F.FF20
:
017F.FF3F</td><td>CLUT Bt459</td></tr>
<tr><td>017F.FF40
:
017F.FF5F</td><td>Taktgenerator ICS1562</td></tr>
<tr><td>017F.FF80
:
017F.FFFF</td><td>Mailbox (Interrupt-Zellen)</td></tr>
<tr><td rowspan="2"></td><td rowspan="2"></td><td rowspan="2"></td><td rowspan="2"></td><td>0180.0000
:
01FF.FF7F</td><td>nicht belegt</td></tr>
<tr><td>01FF.FF80
:
01FF.FFFF</td><td>Zugriff der lokalen CPU auf PIT 68230</td></tr>
</table>

Tabelle 3.3.1: Adreßbereiche

4. Beschreibung der Baugruppen

4.1 Serielle Schnittstellen und MAUS-Port

Der interne Schnittstellen-Controller der CPU 68360 wird auf der IGP genutzt, um den 9poligen DSUB-Stecker P4 als seriellen Maus-Port zu betreiben. Außerdem werden die lokalen seriellen Ausgangssignale des µControllers 8751 ausgewertet und eine weitere RS232-Schnittstelle auf P2 unterstützt. Auch das AUI-Interface wird über den Schnittstellen-Controller gesteuert.

Auf der GDP übernimmt die Steuerung der Schnittstellen der DUART 2681. Da er nur zwei Schnittstellen versorgen kann, entfällt hier die RS232-Schnittstelle von P2 und das AUI-Interface.

Die seriellen Kanäle der CPU 68360, bzw. des DUART 2681 sind in der Schaltung wie folgt benannt.

Name	Ansteuerung/Auswertung		Schnittstelle wird genutzt für...
	IGP	GDP	
Kanal 1	CPU 68360	-	AUI-Interface (lokaler Anschluß des Am7992)
Kanal 2	CPU 68360	-	RS232 auf P2
Kanal 3	CPU 68360	DUART 2681	Maus auf Frontplatte (DSUB)
Kanal 4	CPU 68360	DUART 2681	lokaler Anschluß des µControllers 8751 (Matrix-Tastatur über Frontplatte)

Tabelle 4.1.1: Lokale und extern genutzte serielle Schnittstellen

Die Kanal-Nummern finden sich in den Signalbezeichnungen der RS232-Schnittstellen wieder.

4.1.1 Konfiguration der RS232-Schnittstellen

Die Parameter der Schnittstellen sind zur Zeit weder auf der IGP, noch auf der GDP konfigurierbar. Die Default-Einstellungen bei Auslieferung der Karten sind identisch.

Die RS232-Schnittstellen sind wie folgt spezifiziert:

	2. serielle Schnittstelle auf P2 (nur IGP)
Baudrate	19.200 Baud
Daten-Bits	8
Stop-Bits	1
Parity	no Parity
Handshake	XON/XOFF

Tabelle 4.1.2: Default-Einstellung der RS232-Schnittstellen

4.1.2 Anschluß der RS232-Schnittstellen

Im folgenden wird die Verdrahtung der beiden RS232-Schnittstellen dargestellt. Die Abbildungen sollen die im Anhang (Steckerbelegung) verwendeten Kurzbezeichnungen der Signale erläutern.

Die Belegung der DSUB-Stecker der RS232-Schnittstellen und die Signalbezeichnung ist beispielhaft für den Anschluß der IGP als Empfänger (Modem, DÜE) angegeben.

4.1.2.1 RS232-Schnittstelle Kanal 2 (nur IGP)

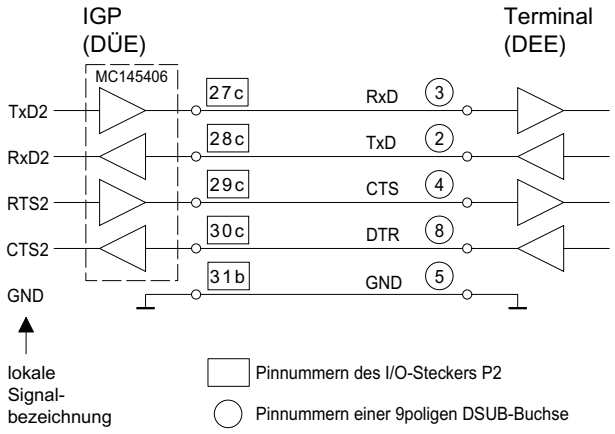


Abb. 4.3.1: Anschluß der Schnittstelle Kanal 2 (RS232)

4.1.3 MAUS-Port

Das Port ist für den Anschluß vom 2- oder 3-Tasten Mäusen geeignet. Es können MS- oder Genius-Mäuse eingesetzt werden.

Die Maus muß vor einem RESET oder Power-On angeschlossen werden. Nur so wird sie vom Window-Manager WiM automatisch erkannt.

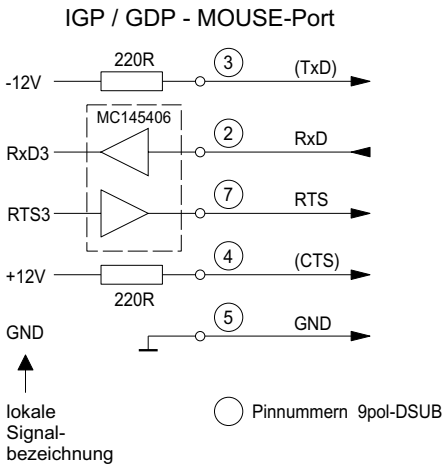


Abb. 4.3.2: Maus-Port

4.2 Spannungsüberwachung und RESET

Bei Unterschreitung der Betriebsspannungstoleranz (U < 4,65 V) und beim Power-Up wird ein RESET der lokalen CPU 68360 ausgelöst.

Die lokale CPU wird außerdem mit dem VMEbus-RESET-Signal oder durch Drücken des RESET-Tasters (SW3) zurückgesetzt. Über die Taste SW2 kann ein ABORT der lokalen CPU ausgelöst werden.

Um das FLASH-EPROM vom VMEbus aus zu programmieren, kann die lokale CPU in einen andauernden RESET-Zustand gesetzt werden. Nach erfolgter Programmierung muß der RESET wieder zurückgenommen werden.

Zum Auslösen des RESET werden folgende PIT68230-Register benötigt:

PIT-Register	lokale Adresse (`aa` = VMEbus-A16-Basisadresse der IGP/GDP)
Port C Data Direction Register	`aaC4`
Port C Data Register	`aaCC`

Tabelle 4.2.1: Adressen der benötigten PIT68230-Register

Bevor der RESET aktivert werden kann, muß das Data-Direction-Register von Port C des PIT mit dem Wert '$BF' besetzt werden.

Der RESET wird aktiviert, wenn über das PIT68230-Port PC4 das lokale Signal ENCPU* gesetzt wird: Die CPU wird in den RESET-Zustand gesetzt, wenn das Port C-Data-Register mit dem Wert '$A0' besetzt wird. Um den RESET zurückzunehmen, muß das Port mit '$B0' besetzt werden.

Alle RESETs setzen die lokalen Baugruppen und die lokale Software zurück!

4.3 Grafik-Baugruppen

Die Steuerung der Grafikbaugruppen, die Parametrierung und das Zeichnen erfolgt mit Hilfe des Software-Paketes PGRAF oder des Window-Managers WiM. PGRAF und WiM werden in eigenen Handbüchern ausführlich beschrieben.

Die folgenden Kapitel sollen eine Übersicht über die Möglichkeiten der Hardware geben.

4.3.1 Grafikprozessor

Der eingesetzte Grafikprozessor HD64400 stellt eine Weiterentwicklung des Controllers HD63484 dar, der z.B. auf dem esd-Grafik-Board VME-IGC eingesetzt wird. Er ist als intelligente Peripherie-Einheit konzipiert und bietet folgende Leistungsmerkmale:

4.3.1.1 Befehlssatz

Der GDP besitzt einen umfangreichen, der CGI-Norm ISO/IEC 9636 (1991) entsprechenden, Befehlssatz:

- 11 Befehle zum Linien-Zeichnen
- 7 verschiedene Füll-Kommandos
- 5 Text-Darstellungsfunktionen
- 3 Bildverarbeitungsfunktionen
- 17 Kommandos zur Steuerung des System-Interfaces
- 7 weitere Spezialkommandos

Diese leistungsfähigen Befehle erlauben zum Beispiel das Zeichnen von beliebigen Linienformen mit einstellbaren Breiten, Zooming mit oder ohne Interpolation, stufenloses Rotieren von Grafikelementen, Clipping (definieren eines Bereiches, in dem das Zeichnen erlaubt oder verboten ist), komplexe Textdarstellungsfunktionen inklusive Proportionalschrift und Italics.

4.3.1.2 Zeichengeschwindigkeit

Die Zeichengeschwindigkeit einiger ausgewählter Kommandos beträgt mit den Einstellungen 8 Bit/Pixel und 16,9 MHz Taktfrequenz des GDP64400:

Kommando	Ausführungsgeschwindigkeit
Linie zeichnen	240 ns / Pixel (d.h. 4,17 Millionen Pixel pro Sekunde)
Bereich füllen	60 ns / Pixel
Text darstellen	76 ns / Pixel
Bit-Block-Transfer (copy)	180 ns / Pixel

Tabelle 4.3.1: Beispiele für die Zeichengeschwindigkeiten

4.3.1.3 RAM-Schnittstelle

Die RAS/CAS-Steuersignale des DRAM/VIDEO-RAM-Interfaces werden nicht vom Grafik-Controller, sondern über externe Logik gesteuert.

Um den sogenannten Real-Time Datentransfermodus der VRAMs zu unterstützen, kann der Grafikprozessor den Status der Ausgangsschieberegister der Bausteine überwachen und diese zu geeigneten Zeitpunkten neu laden. Zusätzlich können einzelne Bit- oder Farbebenen vor ungewollten Schreib- oder Lesezugriffen mit Hilfe der 'Write-Protect'-Einstellung geschützt werden.

Durch den sogenannten 'Pixel-Access'-Mode ist es möglich, Bildpunkte in nur einem Schreibzyklus zu verändern, so daß die sonst notwendigen Read-Modify-Write-Zyklen überflüssig werden.

4.3.1.4 Windowing

Für den Aufbau und die Verwaltung eines fensterorientierten Betriebssystems stellt der GDP vier sogenannte 'Hardware-Windows' zur Verfügung. Hierbei handelt es sich um voneinander unabhängige beschreibbare Zeichenbereiche, die beliebig auf dem Bildschirm plaziert werden können.

Jedes Fenster kann mit einer Darstellungs-Priorität versehen werden. Entsprechend der vergebenen Priorität werden die Fenster auf dem Bildschirm überlagert. Diese Aufgabe wird vollständig vom Grafik-Prozessor übernommen und erfordert somit keinen zusätzlichen Software-Overhead.

4.3.2 Grafik-Speicher

Das Board kann mit einer variablen Speicherkapazität für DRAM und VIDEO-RAM-Bausteine bestückt werden. Die Anzahl der darstellbaren Grafik-Fenster beim Betrieb mit dem WiM und ihre maximal mögliche Auflösung hängen von dem verfügbaren Speicher ab. Die folgende Tabelle gibt eine Übersicht zum Zusammenhang von Speicherbestückung und Grafik-Fenstern:

DRAM [MByte]	VIDEO-RAM [MByte]	gesamter Grafikspeicher [MByte]	maximal mögliche Auflösung	Anzahl der Grafikfenster	
				Anzahl	erreichbare Auflösung
0	1	1	1024 x 768	1 2 3	1024 x 768 800 x 600 640 x 480
	2	2	1600 x 1280	1 1 2 4 6	1600 x 1280 1280 x 1024 1024 x 768 800 x 600 640 x 480
4	1	5	1024 x 768	6 10 17	1024 x 768 800 x 600 640 x 480
	2	6	1600 x 1280	3 4 8 13 20	1600 x 1280 1280 x 1024 1024 x 768 800 x 600 640 x 480
16	1	17	1024 x 768	22 37 58	1024 x 768 800 x 600 640 x 480
	2	18	1600 x 1280	9 14 24 39 61	1600 x 1280 1280 x 1024 1024 x 768 800 x 600 640 x 480

Tabelle 4.3.2: Anzahl der Fenster und Auflösung in Abhängigkeit von der Speicherbestückung

Für das Desktop muß jeweils ein Fenster abgezogen werden. Die Anzahl der Fenster in der Tabelle gilt für die maximale Fenster-Auflösung. Mehrere kleinere Fenster sind möglich, doch muß, bedingt durch Hardware-Vorgaben des GDP64400, die Auflösung in x-Richtung dabei unverändert bleiben.
Beispiel: Soll ein Fenster von 1280 x 1024 Pixeln in kleinere Fenster aufgeteilt werden, so sind nur Größen mit X=1280 möglich (1280 x 600, 1280 x 480,...).

4.3.3 Color-Look-Up-Table Bt459

Zur Darstellung auf handelsüblichen Multisync-Monitoren muß der digital kodierte Farbwert (0...255) in die drei zugehörigen analogen RGB-Farbwerte mit Hilfe einer CLUT umgewandelt werden. Die eingesetzte CLUT besteht aus einem entsprechend großen Color-Palette-RAM (256 mal 3 Einträge) und drei schnellen D/A-Wandlern, die die abgespeicherten Werte in analoge Signale umsetzen.

Die Color-Look-Up-Table bietet folgende Leistungsmerkmale:

4.3.3.1 Serialisierung des Datenstromes

Der Bildwiederholspeicher liefert über die internen Schieberegister der VIDEO-RAMs einen 32 Bit breiten Datenstrom, der von der CLUT zu je vier 8-Bit-Datenblocks serialisiert wird.

Durch diesen Betrieb im '4:1 Multiplex-Modus' werden immer vier Bildpunkte gleichzeitig in die CLUT eingelesen, so daß die Ausgangsschieberegister der VIDEO-RAMs lediglich mit der durch vier geteilten Pixelfrequenz getaktet werden müssen.

4.3.3.2 Color-Look-Up-RAM

Bei einer Pixel-Kodierung von 8 Bit/Pixel können 256 verschiedene Farben kodiert und gleichzeitig dargestellt werden. Jede Farbe kann dabei aus einer Palette von 2^{24} = 16,77 Millionen Farben ausgewählt werden. Die Farbkodierung wird mit einer Color Look-Up-Tabelle durchgeführt. Die 8 Bit breiten Pixel-Daten werden zur direkten Adressierung eines 24 Bit breiten RAM-Speichers verwendet. Die Auswahl des darzustellenden Farbspektrums erfolgt durch die Initialisierung des Look-Up-Speichers. Jede Speicherstelle des insgesamt 256 x 24 Bit großen Look-Up-RAMs der Bt459 kann beschrieben und wieder ausgelesen werden.

4.3.3.3 Monitor-Interface

Die seriellen 24-Bit Ausgangsdaten des Color-Look-Up-RAMs werden drei 8 Bit-D/A-Wandlern zugeführt. Das analoge Ausgangssignal der D/A-Wandler wird unmittelbar zur Ansteuerung eines RGB-Monitors verwendet. Zusätzlich bietet die Bt459 die Möglichkeit, Composite-Synchronisations-informationen auf den Grün-Kanal zu mischen.

Die Synchronisationssignale VSYNC* und H/CSYNC werden vom Grafik-Controller HD64400, bzw. von diskret aufgebauten Logikbaugruppen erzeugt.

4.3.3.4 Hardware-Cursor

Die Bt459 bietet, im Gegensatz zu den meisten anderen RAMDACs, die Möglichkeit, einen sogenannten Hardware-Cursor einzublenden. Dabei handelt es sich um einen von der CLUT generierten, beliebig plazierbaren 64 x 64 Pixel-Block-Cursor oder Cross-Hair-Cursor.

Die Darstellung eines Cursors per Software würde einen erheblichen Rechenaufwand darstellen und somit die Leistungsfähigkeit des Grafiksystems verringern.

4.3.3.5 Sonderfunktionen

Bitplane-Masking

Unter Bitplane-Masking versteht man das Aktivieren/Deaktivieren einzelner Bit-Ebenen. Eine deaktivierte Bit-Ebene ist nicht an der Adressierung des CLUT-RAMs beteiligt. Dadurch werden Farben, bei denen dieses Bit gesetzt ist, nicht dargestellt.

Bitplane-Blinking

Mit dieser Funktion können eine oder mehrere Bit-Ebenen zum Blinken gebracht werden, d.h. die ausgewählten Ebenen werden zyklisch ein- und ausgeschaltet. Sie sind immer nur kurzzeitig an der Adressierung des CLUT-RAMs beteiligt.

4.3.4 Pixel-Clock Generator

Die Grafik-Hardware ist primär für hochauflösende Anwendungen konzipiert (Standardauflösung 1280 x 1024 Bildpunkte) und muß deshalb mit sehr hohen Pixel-Frequenzen (bis zu 135 MHz) arbeiten. Dies hat den Nachteil, daß kleinere Auflösungen (z.B. 800 x 600 Pixel) nicht mehr dargestellt werden können, da solch hohe Pixel-Frequenzen zu sehr großen Horizontalfrequenzen führen, die von den heutigen Monitoren nicht erreicht werden.

Um dieses Problem zu lösen, wird der programmierbare Pixel-Clock-Generator ICS1562-201 eingesetzt. Bei diesem Bausteinen kann per Software die Pixel-Frequenzen in weiten Grenzen eingestellt werden, so daß je nach gewählter Auflösung mit der optimalen Frequenz gearbeitet werden kann.

Der Pixel-Clock-Generator verfügt über zwei unabhängig voneinander programmierbare Taktausgänge. Dadurch ist es möglich, den Grafikprozessor mit 40 MHz zu takten, während die Schieberegister der VIDEO-RAMs mit 20 MHz getaktet werden.

Die Standardeinstellung der Pixelfrequenz ist 135 MHz. Diese Einstellung ist für die Auflösungen 1600 x 1200, 1280 x 1024 und 1024 x 768 einsetzbar.

4.4 AUI-Interface (nur IGP)

Das AUI-Interface (IEEE802.3) wird über den Kanal 1 des internen seriellen Controllers der CPU 68360 gesteuert, der als ETHERNET-Schnittstelle nutzbar ist. Als Treiberbaustein wird ein Am7992 eingesetzt, dessen Ausgangssignale durch Übertrager galvanisch getrennt sind.

Die +12V-Versorgungsspannung des AUI-Interfaces wird über eine elektronische Sicherung (Pico-Fuse 1A) direkt an die +12V-VMEbus-Spannung angeschlossen.

Die Signale der Schnittstelle sind über den I/O-Stecker P2 zugänglich.

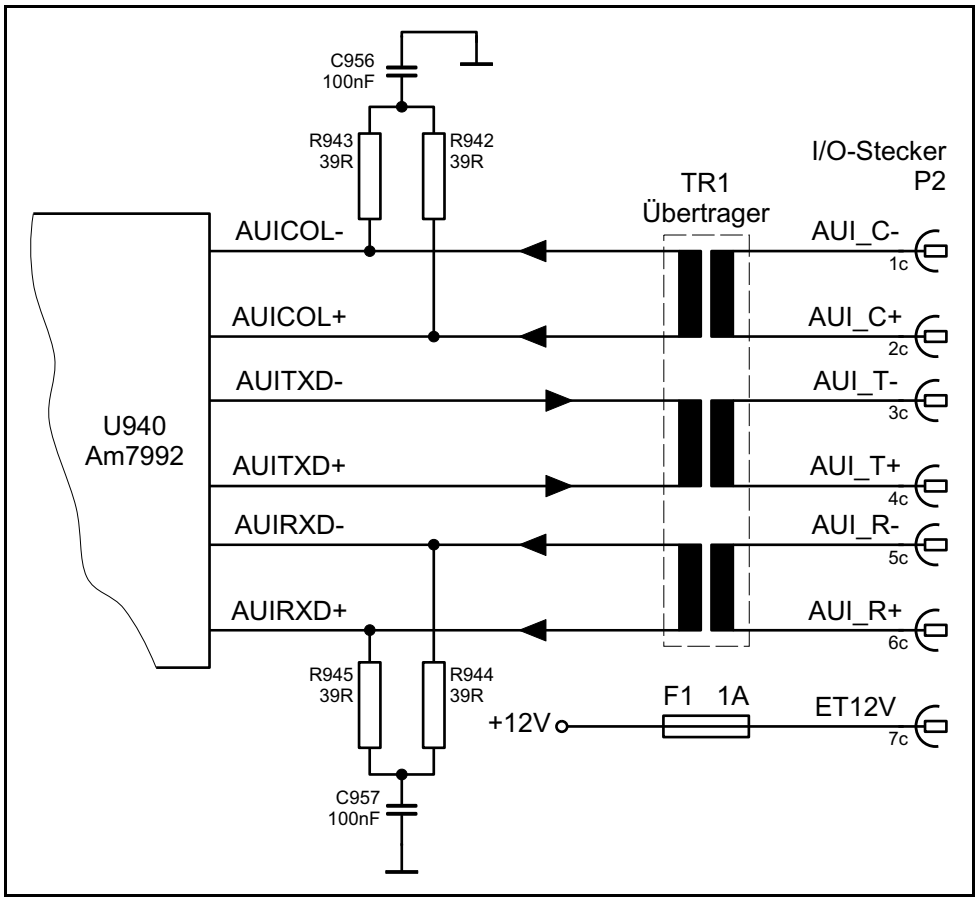


Abb. 4.5.1: Schaltung des AUI-Interface

7	8	9
4	5	6
1	2	3

Tastatur

4.5 Tastatur-Interfaces und optischer Drehschalter

Das MF2-Tastatur-Interface, die Matrixtastatur und der optische Drehschalter werden vom µController 8751 gesteuert. Der µController kommuniziert über eine serielles Interface mit der lokalen CPU 68360 (serieller Kanal 4).

4.5.1 MF2-Tastatur (Keyboard)

Über die Mini-DIN-Buchse in der Frontplatte wird die MF2-Tastatur angeschlossen. Die Daten- und Taktleitungen des MF2-Interfaces sind mit den Ports des 8751 verbunden. Der Controller schaltet außerdem über ein weiteres Port die Versorgungsspannung der Tastatur. Dadurch wird ein definiertes Rücksetzen der Tastatur während eines lokalen RESETs möglich.

Die Codes der Tastatur werden transparent weitergeleitet. Die Tastaturschnittstelle ist bidirektional. Die zurückgegebenen Tasten-Codes können dem Handbuch der eingesetzten Tastatur entnommen werden.

Neben den Standard-Codes werden vom µController einige Fehlermeldungen zurückgegeben. Die Fehlermeldungen haben die Form

`'$DD Fehlerindex Fehlerzähler'.`

`$DD...` Kennung für Fehlermeldung

`Fehlerzähler...` Rückmeldung über die Anzahl der aufgetretenen Fehler
$00...$7F
Der Zähler beginnt nach dem Überlauf wieder bei '00'.

`Fehlerindex...` Der Fehlerindex zeigt die Fehlerursache an:

Kurzbezeichnung	Fehlerindex	Fehlerbeschreibung
ER_STARTbit	$41	INT & F2_REC, aber kein Startbit in empf. Routine gefunden
ER_PARITY	$42	beim Empfang Parity Error festgestellt
ER_noACKN	$43	beim Senden, kein ackn. vom KBD (line control)
ER_STOPbit	$45	beim Empf. kein Stopbit gefunden!
ER_DOUBLE	$46	Dateninkongruenz beim 2. mal Lesen (Empf.) der Daten
ER_noBAT	$48	es ist nach Eeset kein BAT gekommen
ER_noKBD	$49	kein KBD angeschlossen
ER_THINK	$4b	weder ans KBD gesendet noch Timeout -> Software Fehler
ER_SENDov	$61	Timeout in Shiftout Routine
ER_RECov	$62	Timeout in Shiftin Routine
ER_RECov1	$63	Timeout in Shiftin Routine First Step
ER_RESTART	$87	Keyboard Restart Message

Tabelle 4.5.1: Fehler-Codes des µControllers

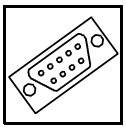
4.5.2 Matrixtastatur

Die Zeilen- und Spaltensignale der Matrixtastatur werden über P2 angeschlossen und sind direkt mit den Ports des µControllers verbunden. Der Controller kann für eine Tastatur mit maximal 8 Zeilen und 8 Spalten programmiert werden.

Zur Zeit wird die Matrixtastatur noch nicht unterstützt. Der µController ist hierfür nicht programmiert.

4.5.3 Optischer Drehschalter

Zur Zeit wird der optische Drehschalter noch nicht unterstützt. Der µController ist hierfür nicht programmiert.



5. Anhang

5.1 Steckerbelegungen

5.1.1 VMEbus P1

Pin	Reihe a	Reihe b	Reihe c
1	D00	-	D08
2	D01	-	D09
3	D02	-	D10
4	D02	BG0IN*]	D11
5	D04	BG0OUT*]	D12
6	D05	BG1IN*]	D13
7	D06	BG1OUT*]	D14
8	D07	BG2IN*]	D15
9	GND	BG2OUT*]	GND
10	-	BG3IN*]	SYSFAIL*
11	GND	BG3OUT*]	-
12	DS1*	-	SYSRESET*
13	DS0*	-	LWORD*
14	WRITE*	-	AM5
15	GND	-	A23
16	DTACK*	AM0	A22
17	GND	AM1	A21
18	AS*	-	A20
19	GND	AM3	A19
20	IACK*	GND	A18
21	IACKIN*	-	A17
22	IACKOUT*	-	A16
23	AM4	GND	A15
24	A07	IRQ7*	A14
25	A06	IRQ6*	A13
26	A05	IRQ5*	A12
27	A04	IRQ4*	A11
28	A03	IRQ3*	A10
29	A02	IRQ2*	A09
30	A01	IRQ1*	A08
31	-12 V	-	+12 V
32	+5 V	+5 V	+5 V

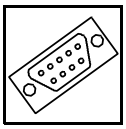
Messerleiste nach DIN41612 Bauform C96/a+b+c
I_{max} per Pin : 1.0 A

] ... Signale auf Platine gebrückt
- ... Signal auf Platine nicht angeschlossen

5.1.2 VMEbus-Signale auf P2

Pin	Reihe b
1	+5 V
2	GND
3	-
4	A24
5	A25
6	A26
7	A27
8	A28
9	A29
10	A30
11	A31
12	GND
13	+5 V
14	D16
15	D17
16	D18
17	D19
18	D20
19	D21
20	D22
21	D23
22	GND
23	D24
24	D25
25	D26
26	D27
27	D28
28	D29
29	D30
30	D31
31	GND
32	+5 V

Messerleiste nach DIN41612 Bauform C96/a+b+c
I_{max} per Pin : 1.0 A
- ... Signal auf Platine nicht angeschlossen



5.1.3 I/O-Signale auf P2

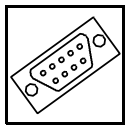
Belegung eines 64poligen Übergabemoduls					
Pin	Belegung des I/O-Steckers P2				Pin
	Reihe a	Signal		Reihe c	
2	1	-	AUI_C-	1	1
4	2	-	AUI_C+	2	3
6	3	-	AUI_T-	3	5
8	4	-	AUI_T+	4	7
10	5	-	AUI_R-	5	9
12	6	-	AUI_R+	6	11
14	7	-	-	7	13
16	8	-	-	8	15
18	9	-	-	9	17
20	10	-	-	10	19
22	11	-	-	11	21
24	12	-	-	12	23
26	13	-	-	13	25
28	14	-	-	14	27
30	15	OPOT2	-	15	29
32	16	OPOT1	-	16	31
34	17	RL7	-	17	33
36	18	RL6	-	18	35
38	19	RL5	-	19	37
40	20	RL4	-	20	39
42	21	RL3	-	21	41
44	22	RL2	-	22	43
46	23	RL1	-	23	45
48	24	RL0	-	24	47
50	25	SL7	-	25	49
52	26	SL6	-	26	51
54	27	SL5	RxD2	27	53
56	28	SL4	TxD2	28	55
58	29	SL3	CTS2	29	57
60	30	SL2	DTR2	30	59
62	31	SL1	-	31	61
64	32	SL0	-	32	63

I/O-Stecker: Federleiste nach DIN41612 Bauform C64/a+c
I_{max} per Pin : 1.0 A
- ... Signal nicht angeschlossen

Signalbeschreibung siehe folgende Seite.

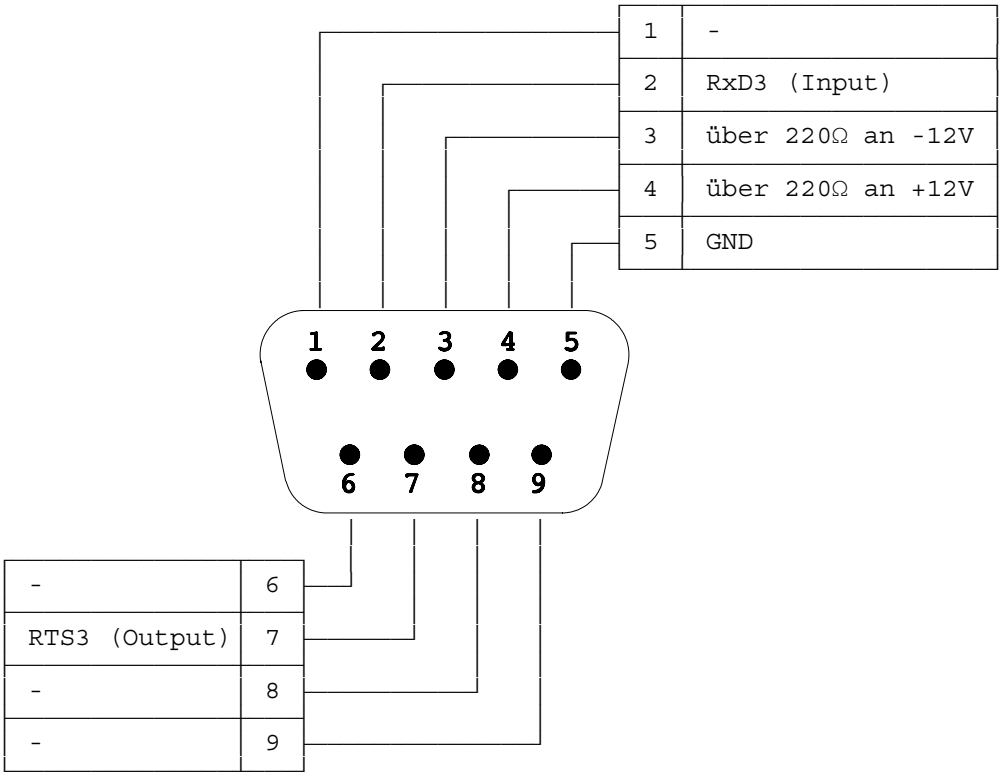
5.1.4 Bedeutung der I/O-Signale auf P2

OPOT1, OPOT2...	Anschluß eines optischen Drehschalters
SL0...SL7... RL0...RL7...	Scan-Lines der Matrixtastatur Return-Lines der Matrixtastatur
TxD2, RxD2, DTR2, CTS2...	Signale der seriellen Schnittstelle 2 (RS232 - nur IGP) Die Signalrichtung ist hier vom Terminal aus betrachtet angegeben, d.h. TxD ist ein Eingangssignal der IGP.
AUI_C-, AUI_C+, AUI_T-, AUI_T+, AUI_R-, AUI_R+...	Signale der AUI-Schnittstelle (nur IGP)



5.1.5 Maus-Port in Frontplatte

In dieser Steckerbelegung sind die Signalnamen von der IGP aus betrachtet angegeben.



9poliger DSUB-Stecker

- ... Signal nicht angeschlossen

5.1.6 BDM-Schnittstelle (P5 - nur IGP)

Signal	Pin		Signal
DS*	1	2	BERR*
GND	3	4	BKPT*
GND	5	6	CONFIG2
RESET*	7	8	IFETCH*
VCC	9	10	IPIPE0*

10poliger Pfostenstecker

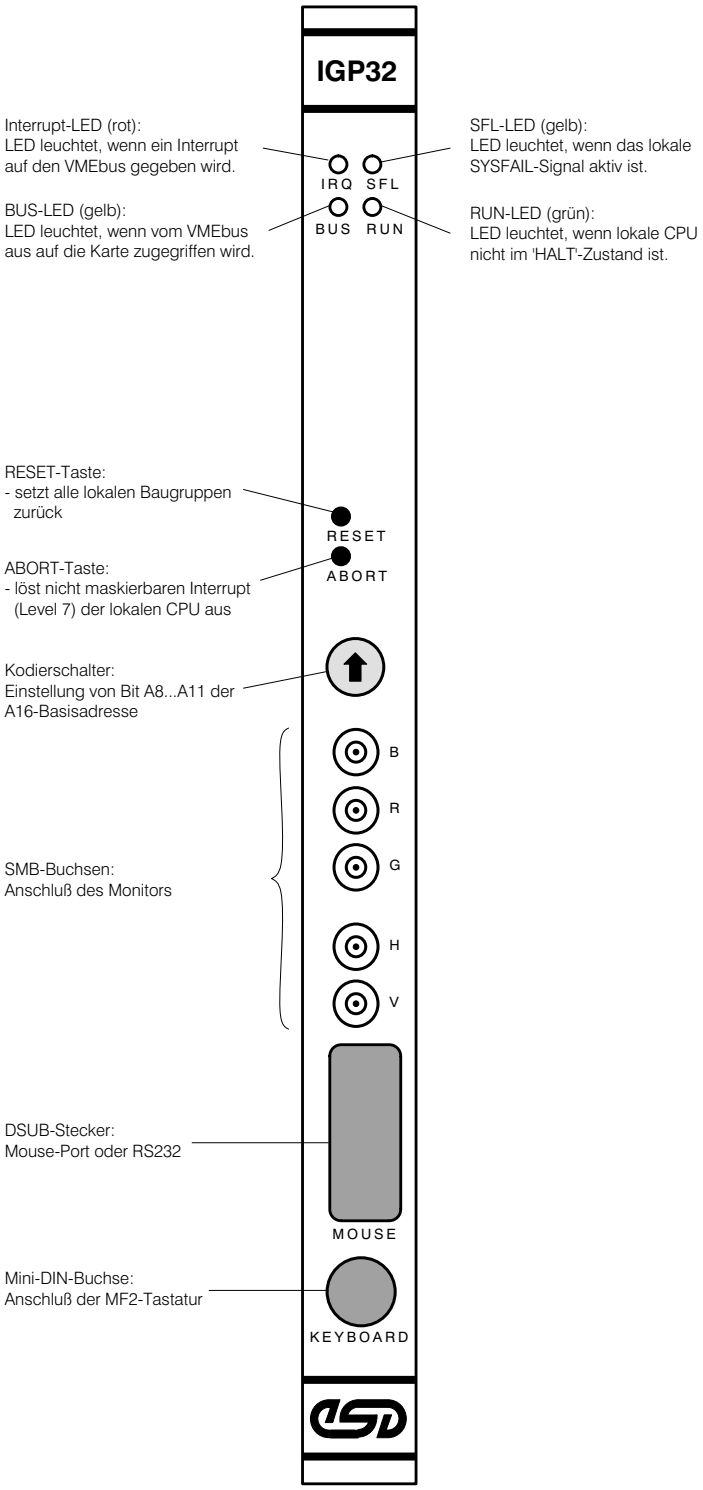
5.1.7 Video-Signale (BNC1...BNC5)

Die Video-Signale sind auf fünf SMB-Buchsen in der Frontplatte geführt:

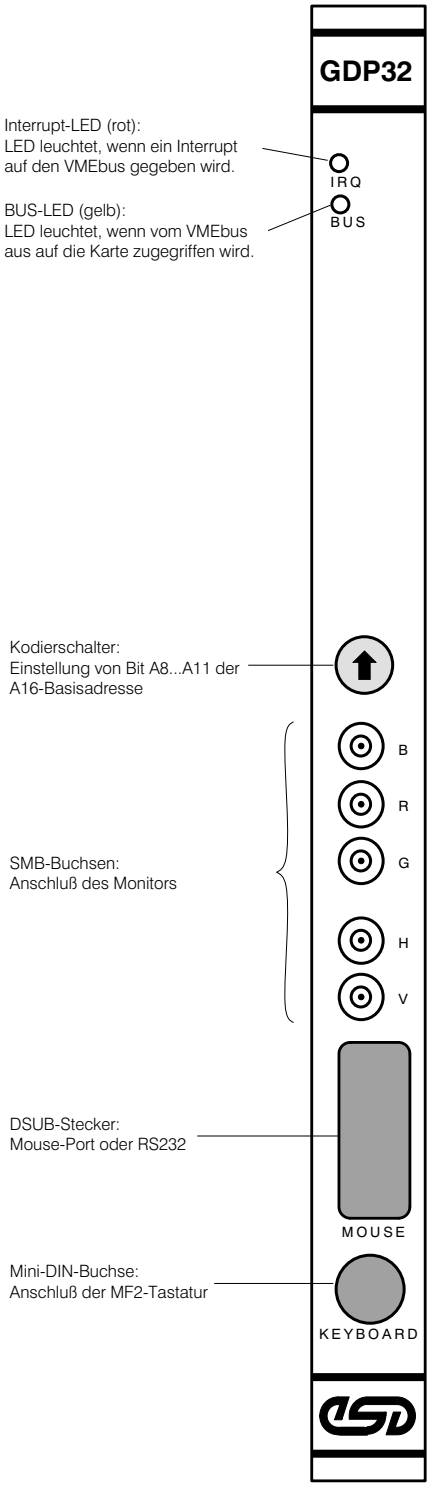
SMB-Buchse (Reihenfolge wie in Frontplatte)	Video-Signal
BNC 3	BLUE
BNC 1	RED
BNC 2	GREEN
BNC 4	H/CSYNC
BNC 5	VSYNC

5.2 Frontplatten

5.2.1 IGP



5.2.2 GDP


GDP32
Interrupt-LED (rot):
LED leuchtet, wenn ein Interrupt
auf den VMEbus gegeben wird.
IRQ
BUS-LED (gelb):
LED leuchtet, wenn vom VMEbus
aus auf die Karte zugegriffen wird.
BUS
Kodierschalter:
Einstellung von Bit A8...A11 der
A16-Basisadresse
B
R
G
SMB-Buchsen:
Anschluß des Monitors
H
V
DSUB-Stecker:
Mouse-Port oder RS232
MOUSE
Mini-DIN-Buchse:
Anschluß der MF2-Tastatur
KEYBOARD

5.3 Stromlaufpläne