VME - IGC-2M

Grafik-Controller

Hardware-Handbuch

Der Inhalt dieses Handbuches wurde mit größter Sorgfalt erarbeitet und geprüft. esd übernimmt jedoch keine Verantwortung für Schäden, die aus Fehlern in der Dokumentation resultieren könnten. Insbesondere Beschreibungen und technische Daten sind keine zugesicherten Eigenschaften im rechtlichen Sinne.

esd hat das Recht, Änderungen am beschriebenen Produkt oder an der Dokumentation ohne vorherige Ankündigung vorzunehmen, wenn sie aus Gründen der Zuverlässigkeit oder Qualitätssicherung vorgenommen werden oder dem technischen Fortschritt dienen.

Sämtliche Rechte an der Dokumentation liegen bei esd. Die Weitergabe an Dritte und Vervielfältigung jeder Art, auch auszugsweise, sind nur mit schriftlicher Genehmigung durch esd gestattet.

esd electronic system design gmbh
Vahrenwalder Str. 205
D-30165 Hannover

Tel: 0511/372980
FAX: 0511/633650

Beschriebene Platinenversion	IPC3-3

Änderungen in den Kapiteln

Die hier aufgeführten Änderungen im Anwenderhandbuch betreffen sowohl Änderungen in der Hardware als auch reine Änderungen in der Beschreibung der Sachverhalte.

Kapitel	Änderung
	Ab Platinenversion IPC3-3 2MByte DRAM.

Weitere technische Änderungen vorbehalten.

Anwender - Handbuch IGC-2M

Inhaltsverzeichnis **Seite**

1. Funktionsbeschreibung 3

1.1 Übersicht 3
1.1.1 Beschreibung der Platine 3
1.1.2 Zusammenfassung der technischen Daten 4
1.1.3 Software-Unterstützung 6

1.2 Bestellhinweise 7

1.3 Adreßbelegung der IGC 9

1.4 Konfiguration-Steckbrücken 11
1.4.1 Default-Einstellung 12
1.4.2 Basisadresse und AM (J2, J3, J5, J12) 14
1.4.3 Konfigurations- und Interrupt-Steckbrücken (J1, J4, J6, J7) 17
1.4.4 Steckbrücke der EPROMS (J9) 20
1.4.5 Teilungsverhältnis für PDVbus-Anwendungen (J11) 21
1.4.6 Steckbrückenfeld des Videoteils (BR4) 22

1.5 Bestückung der SRAM- und EPROM-Bausteine 23
1.5.1 Speichergröße 23
1.5.2 Zuordnung der Zugriffszeiten der EPROMs und SRAMs zur Taktfrequenz der lokalen CPU . . . 23
1.5.3 Akkupufferung der SRAM-Bausteine 24

1.6 Interrupt-Verarbeitung 25
1.6.1 Belegung der lokalen Prozessorinterrupts . . 25

1.6.2 VMEbus-Slave-Interrupt-Logik 26
1.6.2.1 Erzeugung eines VMEbus-Interrupts über den PIT 68230 26

1.6.3 Erzeugung eines lokalen Interrupts über den VMEbus 28
1.6.3.1 Programmierung und Rücklesen des Interrupt-Vektors 28
1.6.3.2 Auslösen eines lokalen Interrupts über das PAL GIRL 31

1.6.4 VMEbus-Interrupt der parallelen Schnittstelle von P2 32
1.6.4 Lokaler Interrupt über P2 (EXIRQIN*) 32

1.7 Watchdog-Schaltung 33

1.8 Externe Erzeugung eines lokalen RESET (VFR) 33

Inhaltsverzeichnis **Seite**

1.9 Der PIT 68230 35
1.9.1 Belegung von Port A des PIT 35
1.9.2 Belegung von Port B des PIT 36
1.9.3 Belegung von Port C des PIT 38

2. Software 39

2.1 Betriebssystem, Firmware 39
2.2 Für den Anwender frei verfügbare Baugruppen 39

3. Anhang 41

3.1 Steckerbelegungen 41
3.1.1 VMEbus (P1) 41
3.1.2 I/O-Stecker (P2) 42
3.1.3 I/O-Übergabemodul für P2: Phönix FLKM64 oder FLKMS64 44
3.1.4 Maus-Interface (P3) 45
3.1.5 Tastatur-Interface (P4) 46
3.1.6 RS232-Schnittstelle ’C’ (P5) 47

3.2 Frontplatte 49

3.3 Stromlaufpläne 51

3.4 Datenblätter 53

1. Funktionsbeschreibung

1.1 Übersicht

1.1.1 Beschreibung der Platine

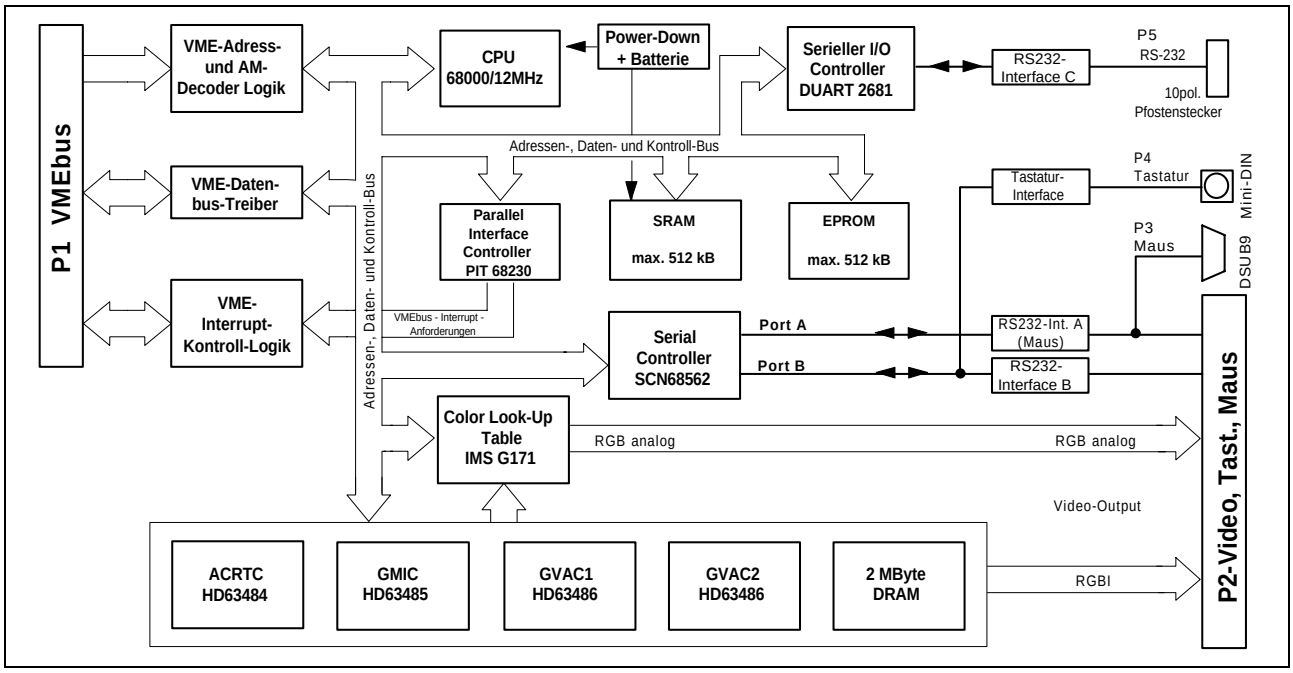


Abb. 1.1.1: Blockschaltbild der IGC-2M

Die VME-IGC-2M ist eine intelligente Farbgrafikkarte mit einer CPU 68000 und 512 kByte Shared-SRAM on board. Der Grafikteil des VME-bus Slave-Boards ist bestückt mit einem leistungsfähigen Grafik-Controller vom Typ ACRTC 63484. Für das Video-RAM stehen 2 MByte dynamisches RAM zur Verfügung.

Die Grafikkarte verfügt über eine 6 Bit Color-Lookup-Table mit 16 Farben aus 256.000 möglichen. Dadurch stehen sowohl ein RGBI-TTL-Ausgang als auch ein RGB-Analogausgang zur Verfügung. Die max. Anzahl der Pixel beträgt dabei 1024 x 1024 mit 4 Bit Farbinformation, so daß bis zu 16 Farben pro Pixel dargestellt werden können.

Das Grafik-Fenster kann über den gesamten Videospeicher verschoben werden. Die Auflösung ist kompatibel zum Grafikstandard VGA mit 640x480 Bildpunkten, so daß ein 14"-Monitor bei einer Bildwiederholrate von 70 Hz (non-interlaced), wie z.B. NEC Multisync oder EIZO Flexscan angeschlossen werden kann. Die maximale Pixelfrequenz der VME-IGC-2M beträgt 38 MHz.

Für Eingaben ist die IGC-2M mit einem Mausadapter für 2- oder 3-Tasten-Mäuse auf der Frontplatte ausgestattet. Der MF2-kompatible Tastaturanschluß ist auf eine Mini-DIN-Buchse gelegt.

1.1.2 Zusammenfassung der technischen Daten

VMEbus-Spezifikation	
VMEbus-Interface	IEEE 1014 / C.1
Data-Transfermode	SADO32 - Slave mit A32/D16-Zugriff SD16 - Slave mit A24/D16-Zugriff
Address Modifier (AM)	vollständige Auswertung von AM0 bis AM5, zusätzlich 'AM2 don't care'-Schaltung möglich
Basisadresse	über Steckbrücken im gesamten 16 GByte/16 MByte-Adreßraum wählbar
Interrupts	I1 bis I7 Interrupter, Level programmierbar, Mailbox-Interrupts des VMEbus an den lokalen Prozessor

CPU-Baugruppen, Speicher, Schnittstellen	
CPU	MC 68000, 12MHz
Speicher	512 kByte batteriegepuffertes SRAM mit CRC-Check (Datenerhalt min. 20 Tage), 256 kByte EPROM,
Watchdog	Hardware-Watchdog zur Überwachung des lokalen Prozessors
RESET	RESET über Software vom VMEbus auslösbar, Timeout-Schaltung zum Erkennen eines lokalen Bus-Error
Schnittstellen	MF2-Tastatur (AT-Kompatibel), Maus (MS oder GENIUS), RS232C

Grafik-Baugruppen	
Grafikprozessor	ACRTC 63484 mit Supportchips GVAC 63485 und GMIC 63486
Color Lookup Table	IMS G171, 16 aus 256.000 Farben
Video-Datenspeicher	2 MByte DRAM
Anzahl der Bild-punkte	max. 1024x1024
Auflösung	640x480 (VGA) bei 32 MHz Bildpunkt-frequenz und ca. 72Hz Bildwiederhol-frequenz oder 800x600 (Super-VGA) bei 38MHz Bild-punktfrequenz und ca. 68Hz Bildwieder-holfrequenz
Farbinformation pro Bildpunkt	4 Bit
Video-Ausgänge	RGBI-TTL und RGB analog

Allgemeine Daten	
Temperaturbereich	0...50°C Umgebungstemperatur
Luftfeuchtigkeit	max. 90%, nicht kondensierend
Steckverbinder	P1-DIN 41612-C96 P2-DIN 41612-C96 (Video, Maus, RS232) P3-DSUB9 Stift (Maus-Anschluß) P4-6pol Mini-DIN Buchse (Tastatur) P5-10pol Pfostenstecker (RS232)
Größe der Platine	160 mm x 233 mm Doppeleuropaformat
VMEbus-Einbau	6 HE hoch / 4 TE breit Frontplatte mit Aushebelgriffen
Gewicht	ca. 490g
Spannungsversorgung	VMEbus P1: 5V +-5% / 2,5A VMEbus P1: +12V +-5% / 0,4A -12V +-5% / 0,4A

Tabelle 1.1.1: Technische Daten der IGC-2M

1.1.3 Software-Unterstützung

Auf der IGC-2M ist standardmäßig das Laufzeitsystem des Echtzeit-Multitasking-Betriebssystems PEARL/RTOS-UH zusammen mit dem multitaskingfähigen Window-Manager WiM zur Unterstützung der leistungsfähigen Befehle des Grafik-Controllers ACRTC 63484 integriert (lokale EPROMS).

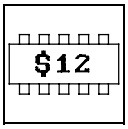
Anwendern des Betriebssystems PEARL/RTOS-UH bieten wir darüber hinaus die Meßwertgrafik PSCOPE und den Grafikeditor GED zur Prozeßvisualisierung und Meßwertdarstellung sowie das Laufzeitsystem PVS zur Prozeßvisualisierung an.

Die Kommunikation mit dem VMEbus-Master erfolgt über Kommando- und Datenkanäle im Shared-RAM der IGC-2M.

1.2 Bestellhinweise

Typ	Eigenschaften	Bestell-Nr.
VME-IGC-2M	Grafik-Controller Board, 68000/12MHz, 256 kByte EPROM, 512 kByte SRAM, 2 MByte DRAM	V.1503.02
VME-ACRTC-2M	Grafik-Controller Board, ohne CPU-Baugruppen, 2 MByte DRAM	V.1501.06
VME-IGC-DIN	Adapterkabel 6pol. Mini-DIN-Stecker auf 5 pol. Dioden-buchse	V.1502.10
VME-IGC-2M-MD	Zusätzliches Anwenderhandbuch in deutsch	M.1503.20
VME-IGC-2M-ME	Zusätzliches Anwenderhandbuch in englisch	M.1503.21

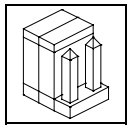
Tabelle 1.2.1: Bestellhinweise



1.3 Adreßbelegung der IGC-2M

Die Karte ist so konzipiert, daß auf alle Adressen sowohl durch die lokale CPU als auch über den VMEbus zugegriffen werden kann. Beim Zugriff über den VMEbus sind dabei alle Adressen relativ zur Startadresse der Karte zu bilden. Je nach Konfiguration der Karte ergeben sich diese Adressen folgendermaßen:

Adresse	Bauteil / Register	Anmerkung
FFFFF C0000	EPROM-Bank 1 U46/U49	2 x 128 kByte
A0000	WATCHDOG-Register	Watchdog-Schaltung
87001	VFR (**V**MEbus **f**orced **R**eset)	Externe Erzeugung eines lokalen RESET
86001	PIT 68230	Erzeugung eines VMEbus-Interrupts über den PIT 68230
85001	DUSCC 68562	Serielle Schnittstellen (A u. B): Maus und Tastatur
84001	IMS G171	Color Lookup Table
83801	Oszillator ICS1494	Programmierbarer Oszillator für ACRTC (nicht bestückt)
83401	DUART 2681	RS232-Schnittstelle (C) für Test- und Service-Anwendungen
83001	RTC 62451	Real Time Clock
82001	Slave-Interrupt-Vektor-Register	VMEbus-Slave-Interrupt-Logik
81001	ACRTC HD63484	Grafik-Controller
80001	IRFIRE (Slave-Interrupt-Logik)	VMEbus-Slave-Interrupt-Logik
7FFFF 40000	RAM-Bank 2 U45/U48	4 x 128 kByte
03FFFF 000000	RAM-Bank 1 U44/U47	



1.4 Konfiguration-Steckbrücken

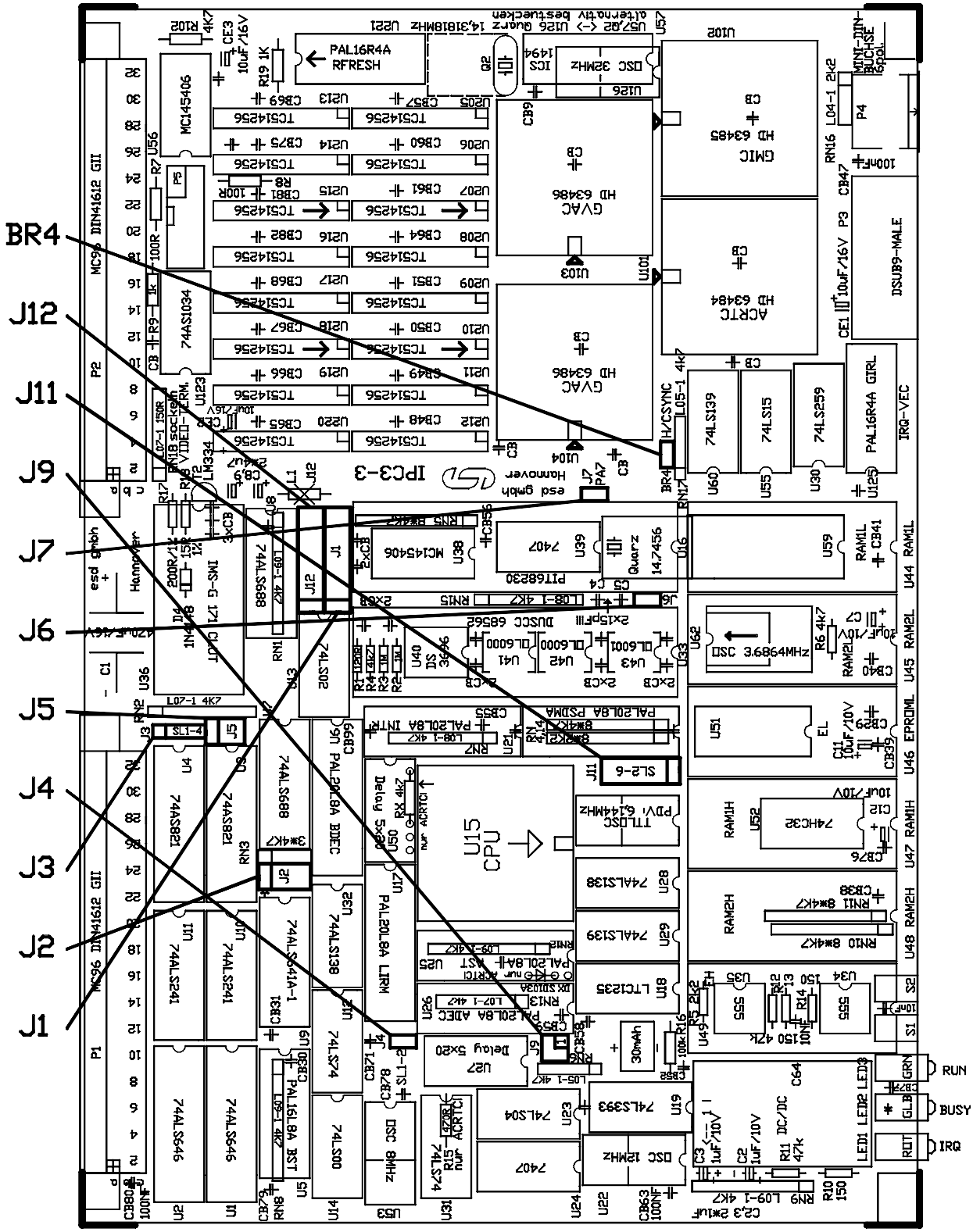


Abb. 1.4.1: Lage der Steckbrücken auf der Platine

1.4.1 Default-Einstellung

Die jeweilige Default-Einstellung (siehe nachfolgende Tabelle) bei Auslieferung der Karte ist in die folgenden Steckbrückendarstellungen eingetragen.

Die Anordnung der Steckbrücken ist dem Bestückungsplan zu entnehmen.
Eine gesetzte Steckbrücke entspricht dem ’0’ (LOW)-Pegel eines Signals.

Die Steckbrücken sind im folgenden so dargestellt, wie sie der Anwender betrachtet, wenn er die Karte mit den VMEbus-Steckern nach oben vor sich liegen hat.

Default-Einstellung der Steckbrücken J1 bis J12 :

Steckbrücke	Funktion	Einstellung
J1	Anwenderdefinierbare Steckbrücke auf PIT 68230-Ports PB0...PB7	offen, d.h. PB0 bis PB7 = $FF
J2	Adressen A20..A23	Basisadresse $xxC00000
J3	Address-Modifier AM2	Nonprivileged- und Supervisory-Zugriffe zugelassen
J4	Interrupt-Level DUSCC 68562	gesteckt, d.h. lokaler Interrupt-Level IRQ5
J5	Address-Modifier AM3, AM4, AM5	Standard-Mode (A24)
J6	VMEbus-Interrupt über PIT 68230-Eingang H4	offen, d.h. für die parallele Schnittstelle (an P2) ist dieser Interrupt nutzbar
J7	PIT 68230-Port PA7	offen, d.h. Eingang PA7 = ’1’
J9	EPROM-Größe (Speicherbereich)	2 x 128 kByte in EPROM-Bank (U46/U49), $C0000-$FFFFF
J11	Freigabe des ’Teiler-PALs’ für PDVbus-Interface	ohne Bedeutung, da nur für PDVbus-Anwendungen relevant
J12	Adressen A24..A31	offen wg. Standard-Mode (J5)

Default-Einstellung der Steckbrücke BR4:

Steckbrücke	Funktion	Einstellung
BR4	CSYNC-Signal auf HSYNC und VSYNC-Leitung	offen, d.h. HSYNC und VSYNC werden getrennt ausgegeben

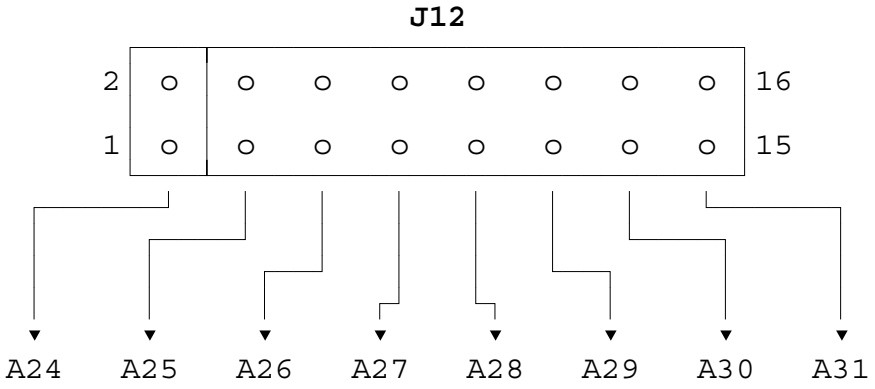
Tabelle 1.4.1: Default-Einstellung der Steckbrücken

1.4.2 Basisadresse und AM (J2, J3, J5, J12)

Steckbrückenfeld J12: Basisadresse A24-A31

Einstellung der Kartenadresse für Adreßleitung A24 bis A31 (im A24-Mode der Karte (siehe J5) wird diese Steckbrücke nicht ausgewertet)

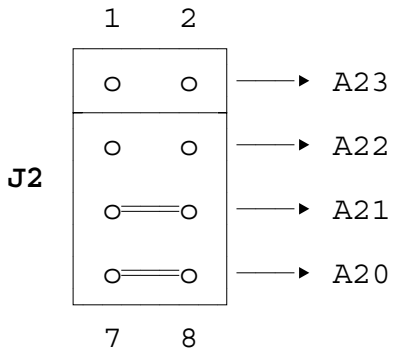
Steckbrücke offen: Adreßleitung als 'HIGH' dekodiert
Steckbrücke gesetzt: Adreßleitung als 'LOW' dekodiert



Default-Einstellung bei Auslieferung der Karte: $FFxxxxxx

Steckbrückenfeld J2: Einstellung der Kartenadresse für Adreßleitungen A23-A20

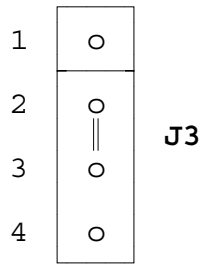
Steckbrücke offen : Adreßleitung als 'HIGH' dekodiert
Steckbrücke gesetzt: Adreßleitung als 'LOW' dekodiert



Default-Einstellung bei Auslieferung der Karte: $xxCxxxxx

Steckbrückenfeld J3: Dekodierung des Address Modifier AM2

Mit J3 wird festgelegt, ob die Karte auf Supervisory-, Nonprivileged- oder auf beide Zugriffsarten reagieren soll.



Default-Einstellung bei Auslieferung der Karte:
Nonprivileged- und Supervisory-Zugriffe erlaubt

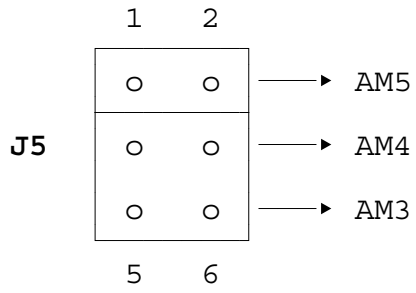
gesetzte Steckbrücke auf J3	mögliche Zugriffsarten
1-2	nur Supervisory Zugriffe
2-3	Supervisory- und Nonprivileged-Zugriffe
1-2 & 3-4	nur Nonprivileged-Zugriffe

Tabelle 1.4.2: Zuordnung der Steckbrückenstellung (J3) zu den Zugriffsarten Nonprivileged und Supervisory

Steckbrückenfeld J5: Dekodierung der Address-Modifier AM3 bis AM5

Mit AM4 und AM5 wird zwischen dem Standard- und dem Extended-Mode unterschieden.

Steckbrücke offen : Address-Modifier als 'HIGH' dekodiert
Steckbrücke gesetzt: Address-Modifier als 'LOW' dekodiert

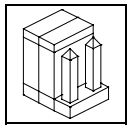


Default-Einstellung bei Auslieferung der Karte: Standard-Mode (A1 bis A24 des VMEbus werden zur auf der Karte ausgewertet.)

Folgende sinnvolle Einstellungen werden für J5 empfohlen:

Steckbrücke J5	mögliche Zugriffsarten
1 2 AM5 AM4 AM3 5 6	Standard-Mode (A24) A1 bis A24 werden auf der Karte ausgewertet.
1 2 AM5 AM4 AM3 5 6	Extended-Mode (A32) A1 bis A32 werden auf der Karte ausgewertet.

Tabelle 1.4.3: Empfohlene Steckbrückenstellungen von J5



1.4.3 Konfigurations- und Interrupt-Steckbrücken (J1, J4, J6, J7)

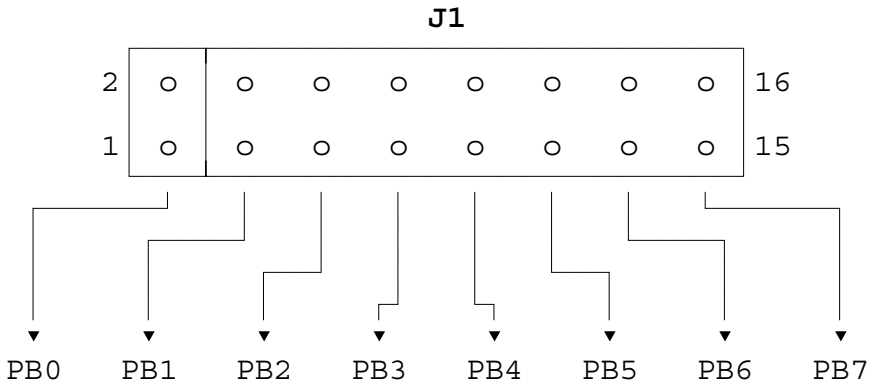
Steckbrückenfeld J1: Anwenderdefinierbare Funktion

Mit J1 stehen 8 Bit für anwendungsabhängige Konfigurationen zur Verfügung.
Die Signale sind auf die Ports PB0 bis PB7 des PIT 68230 gelegt und auf der lokalen Adresse $86017 (als Byte-Zugriff) lesbar.

Parallel dazu sind die Signale auf P2 gelegt und können zur Steuerung einer parallelen Schnittstelle genutzt werden.

Die Ports können entweder <u>nur</u> zur Konfigurationseinstellung oder <u>nur</u> als parallele Schnittstelle genutzt werden. Eine gleichzeitige Nutzung beider Betriebsarten ist nicht möglich!

Steckbrücke offen : PIT-Port wird als ’1’ gelesen
Steckbrücke gesetzt: PIT-Port wird als ’0’ gelesen

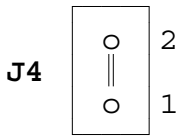


Default-Einstellung bei Auslieferung der Karte:
Alle Steckbrücken offen -> PB0 bis PB7 = $FF

Steckbrücke J4: Interrupt-Level des DUSCC 68562

Über J4 kann der Interrupt-Level des DUSCC von Level 5 auf Level 7 erhöht werden. Der DUSCC liegt dann in der Priorität direkt hinter dem 'ABORT-Interrupt'. Der Interrupt-Level 7 ist nur für PDVbus-Anwendungen notwendig. In die Platinenversion IGC-2M wird der DUSCC mit dem Level 5 versorgt.

Steckbrücke offen : Lokaler DUSCC-Interrupt-Level: IRQ5
Steckbrücke gesetzt: Lokaler DUSCC-Interrupt-Level: IRQ7

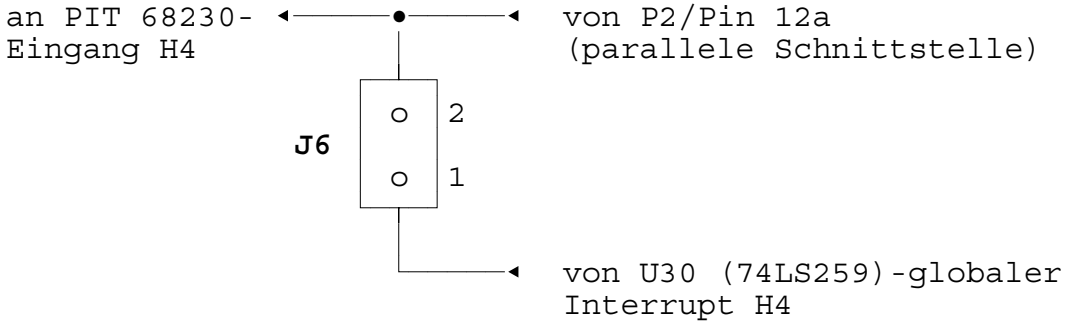


Default-Einstellung bei Auslieferung der Karte: IRQ5

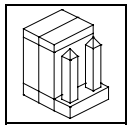
Steckbrücke J6: Globaler Interrupt/parallele Schnittstelle

Die IGC-2M bietet eine parallele Schnittstelle auf dem Stecker P2. Wird diese Schnittstelle nicht genutzt, so besteht die Möglichkeit, den für diese Schnittstelle vorgesehenen Interrupt-Eingang des PIT 68230 für einen weiteren globalen Interrupt zu benutzen.

Steckbrücke offen : Interrupt der parallelen Schnittstelle nutzbar
Steckbrücke gesetzt: Interrupt-Eingang des PIT 68230 kann als weiterer globaler Interrupt genutzt werden



Default-Einstellung bei Auslieferung der Karte:
Interrupt der parallelen Schnittstelle nutzbar

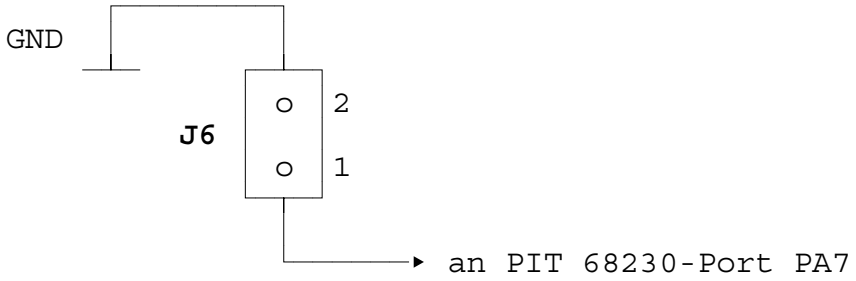


Steckbrücke J7: PIT 68230-Port PA7

Über diese Steckbrücke wird das Port PA7 des PIT auf ’0’ gesetzt.

Die Steckbrücke ist für zukünftige Anwendungen der Firmware reserviert!

Das Port PA7 kann über das Port A-Alternate-Register (lokale Adresse: $86015) gelesen werden.



Default-Einstellung bei Auslieferung der Karte: Steckbrücke offen

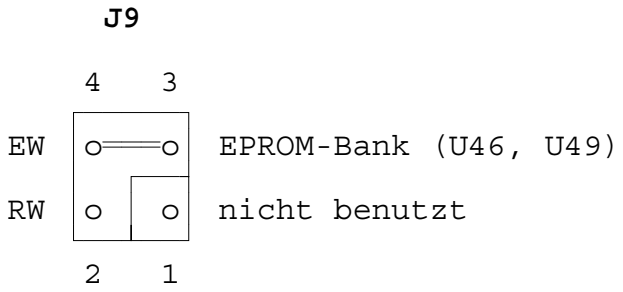
1.4.4 Steckbrücke der EPROMS (J9)

Steckbrückenfeld J9: Speicherbereich der EPROM-Bank

Mit der Steckbrücke J9 (3-4) wird die Größe des dekodierten Speicherbereiches der EPROMs festgelegt. Es können 2 x 64 kByte oder 2 x 128 kByte EPROMs eingesetzt werden.

Die SRAM-Bänke werden immer mit vier Bausteinen à 128 kByte bestückt und liegen im Speicherbereich von $000000 bis $07FFFF.

Die Pins 1-2 der Steckbrücke werden nicht ausgewertet.



Default-Einstellung bei Auslieferung der Karte: 2 x 128 kByte EPROM

Steckbrücke		Speicherbereich
3-4 (EW)	offen	EPROM-Bank : $0C0000...$0DFFFF (2 x 64 kByte, z.B. 2 x 27C512)
	gesteckt	EPROM-Bank : $0C0000...$0FFFFF (2 x 128 kByte, z.B. 2 x 27C010)

Tabelle 1.4.4: Festlegung des Speicherbereiches der EPROMs

1.4.5 Teilungsverhältnis für PDVbus-Anwendungen (J11)

Steckbrückenfeld J11: Teilungsfaktor

Dieses Steckbrückenfeld ist nur für die PDVbus-Version dieser Karte relevant. Das Steckbrückenfeld hat für die Version IGC-2M keine Bedeutung.

Mit dem Steckbrückenfeld J11 läßt sich ein Teilungsfaktor einstellen, durch den die vom optionalen Oszillator erzeugte Frequenz geteilt wird.

Die Frequenzteilung übernimmt das 'Teiler-PAL' U20, mit dem die Steckbrücke verbunden ist.

Der tatsächliche Teilungsfaktor hängt von der Programmierung des Teiler-PALs ab. Die sich einstellende Baudrate resultiert aus der Oszillatorfrequenz, dem Teilungsfaktor und der Programmierung der seriellen Schnittstelle (½ U33, DUSCC 68562).

Die Option Teiler-PAL und Oszillator ist nur zum Erzeugen 'unüblicher' Baudraten nötig, da die Standardbaudraten (50 ... 38400 Baud) auch ohne sie über den DUSCC eingestellt werden können.

J11

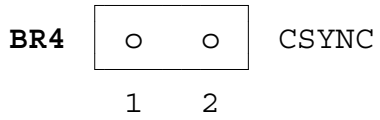
8	o	o	I1
7	o	o	I2
6	o	o	I3
5	o	o	I4
4	o	o	I5
3	o	o	I6
2	o	o	I7
1	o	o	I8

Default-Einstellung bei Auslieferung der Karte: Steckbrücken offen

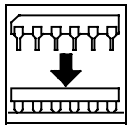
1.4.6 Steckbrückenfeld des Videoteils (BR4)

Steckbrücke BR4: Verknüpfung der SYNC-Signale zu CSYNC

Steckbrücke offen : HSYNC und VSYNC werden getrennt ausgegeben
Steckbrücke gesetzt: HSYNC und VSYNC zu CSYNC verknüpft



Default-Einstellung bei Auslieferung der Karte:
HSYNC und VSYNC werden getrennt ausgegeben



1.5 Bestückung der SRAM- und EPROM-Bausteine

1.5.1 Speichergröße

Die IGC-2M ist in der Standardausführung mit 4 SRAM-Bausteinen à 128 kByte bestückt (z.B. 4 x 581000).

Die EPROM-Bank ist mit 2 Bausteinen à 128 kByte bestückt (z.B. 27C010).

1.5.2 Zuordnung der Zugriffszeiten der EPROMs und SRAMs zur Taktfrequenz der lokalen CPU

Das lokale DTACK-Signal wird bei Zugriffen der lokalen CPU auf die EPROM- oder SRAM-Bausteine ohne (nennenswerte) Verzögerung ausgelöst. Dadurch wird die Arbeitsgeschwindigkeit der Karte wesentlich erhöht.

Die Zugriffszeit der eingesetzten Speicherbausteine darf bei der CPU 68000/12MHz die in der folgenden Tabelle angegebenen Werte nicht überschreiten!

CPU/Taktfrequenz	EPROM max. Zugriffszeit	SRAM max. Zugriffszeit
68000/12MHz	150ns	100ns

Tabelle 1.5.1: Zuordnung der Zugriffszeit der Speicherbausteine zu der Taktfrequenz der eingesetzten CPU

1.5.3 Akkupufferung der SRAM-Bausteine

Die SRAM-Bausteine und die RTC (Real-Time-Clock) werden bei fehlender Versorgungsspannung über einen Akkumulator gespeist. Der Akku liefert eine Spannung von 2,4V und hat eine Nennkapazität von 30mAh.
Bei der Bestückung der Karte mit 4 SRAM-Bausteinen bis zu 128kx8 (z.B. 551001) werden die Daten im 'Standby-Betrieb' unter folgenden Bedingungen mindestens 20 Tage gehalten:

Lagertemperatur	T = 25°C
max. Endladestrom	I = 15µA

Bei höheren Lagertemperaturen sinkt die Kapazität des Akkumulators!

Der Endladestrom wird vor der Auslieferung der Karte gemessen. Falls Sie die Bestückung der SRAM-Bausteine nachträglich verändern, stellen Sie bitte durch Einsatz geeigneter Bausteine sicher, daß der Strombedarf der Speicher nicht über 15µA ansteigt.

Der Hersteller haftet nicht für den Datenerhalt, wenn der Anwender selbst Bestückungsänderungen auf der Platine vornimmt!

Nach 3 Jahren Betrieb der IGC-2M ist der Akku (bedingt durch die Dauerladung) so weit gealtert, daß er nur noch 70% seiner Nenn-kapazität besitzt. Wir empfehlen, den Akku spätestens nach 3 Jahren zu ersetzten.

Für den Akkumulator gelten folgende Temperaturgrenzwerte:

Betriebszustand	T min [°C]	T max [°C]
Laden	0	45
Entladen	-20	50 (60)*
Lagern	-40	50

* Max. zulässig sind 60°C für 24 Stunden.

Tabelle 1.5.2: Temperaturgrenzwerte des Akkumulators

1.6 Interrupt-Verarbeitung

1.6.1 Belegung der lokalen Prozessorinterrupts

Die Interrupt-Level der lokalen CPU der IGC-2M sind wie folgt belegt:

IR-Level	Baugruppe	Typ	Treiber	Freigabe
7.2	ABORT	Auto Vektor	RTOS	immer frei
7.1	DUSCC *1)	User Vektor	Firmware	über J4
6	PIT-Timer IRQ	User Vektor	-	immer frei
5	DUSCC *1)	User Vektor	Firmware	über J4
4	GIRL-PAL-IRQ	User Vektor	Firmware	immer frei
3	EXIRQIN	Auto Vektor	-	PIT-Port PA6
2	DUART-IRQ	Auto Vektor	Firmware	immer frei
1	ACRTC-IRQ	Auto Vektor	Firmware	immer frei

*)1 Der Interrupt-Level des DUSCC wird über J4 entweder auf Level 5 oder auf Level 7.1 gesetzt.

Tabelle 1.6.1: Belegung der lokalen Interrupt-Level

1.6.2 VMEbus-Slave-Interrupt-Logik

Die VMEbus-Slave-Interrupt-Logik bietet die Möglichkeit, von der IGC-2M (PIT 68230) aus einen Interrupt auf dem VMEbus auszulösen (globaler Interrupt). Außerdem kann vom VMEbus aus ein lokaler Interrupt auf der Platine über das PAL 'GIRL' erzeugt werden.

1.6.2.1 Erzeugung eines VMEbus-Interrupts über den PIT 68230

Neben dem Timer-Interrupt des PIT (TIRQ*) kann der PIT auch auf Port PC5IRQ einen Interrupt auslösen. Dieser Interrupt wird auf den VMEbus geführt.
Die Interrupt wird über die PIT-Eingänge H1...H4 ausgelöst. Bei einem Flankenwechsel dieser Eingangssignale generiert der PIT einen Interrupt und gibt in der Interrupt-Routine einen entsprechenden Vektor aus. Das weitere Interrupt-Handling des PIT 68230 ist im Datenblatt des PIT näher beschrieben.

Über die PIT-Ports PA0, PA1 und PA2 wird der Level des Interrupts auf dem VMEbus festgelegt (siehe auch Kap. 'Der PIT 68230'):

PIT-Port			VMEbus Interrupt Level
PA2	PA1	PA0	
0	0	0	no IRQ
0	0	1	IRQ1
0	1	0	IRQ2
0	1	1	IRQ3
1	0	0	IRQ4
1	0	1	IRQ5
1	1	0	IRQ6
1	1	1	IRQ7

Tabelle 1.6.2: VMEbus-Interrupt-Level von PIT-Port PA0 bis PA2 vorgegeben

Der Zugriff (starten des Interrupts) auf die Signale H1...H4 erfolgt durch das Anlegen entsprechender Adressen:

Signal	Funktion
IRFIRE*	'Chip-Select'
A1	A1=1 --▸ Hx=1 A1=0 --▸ Hx=0 (x = 1...4)
A2,A3,A4	Auswahl von H1...H4

Tabelle 1.6.3: Zugriff auf die PIT-Eingänge H1...H4 über Adreßbits

Die Eingänge H1...H4 werden bei einem RESET auf '0' gesetzt. Die Pit-Ports PC0, PC1 und PC2 sind parallel an die Eingänge H1, H2 und H3 angeschlossen.

Über den Eingang H4 wird ein VMEbus-Interrupt über die beschriebene Adressierung nur dann ausgelöst, wenn die Steckbrücke J6 gesetzt ist. Ist die Steckbrücke offen, so kann der 'H4-Interrupt' der parallelen Schnittstelle von P2 genutzt werden.

In der folgenden Tabelle sind die Adressen aufgeführt, die die entsprechenden H-Signale auf '1' oder '0' setzen.

Adresse	Interrupt-Signal	Pegel
$080011	H4 *1)	==▸ 0
$080013	H4 *1)	==▸ 1
$080015	H3	==▸ 0
$080017	H3	==▸ 1
$080019	H2	==▸ 0
$08001B	H2	==▸ 1
$08001D	H1	==▸ 0
$08001F	H1	==▸ 1

*1) Nur wenn J6 gesteckt.

Tabelle 1.6.4: Setzen der PIT-Eingänge H1...H4 über Adreßbits

1.6.3 Erzeugung eines lokalen Interrupts über den VMEbus (PAL GIRL)

Über das PAL GIRL können, gestartet durch das Anlegen entsprechender Adressen, vier verschiedene Interrupts ausgelöst werden. Diese Interrupt-Signale (F0...F3) können, zusammen mit vorhergehend programmierten Datenbits, 4 x 16 verschiedene Interrupt-Vektoren auf den lokalen Datenbus legen. Vom PAL wird beim 'feuern' eines der Interrupt-Eingänge ein lokaler Interrupt auf dem Level 4 der CPU erzeugt.
Im folgenden wird in Form von Tabellen zuerst die Programmierung des Interrupt-Vektors und danach das Starten der Interrupts beschrieben.

1.6.3.1 Programmierung und Rücklesen des Interrupt-Vektors

Adresse des Interrupt-Vektors: $082001

Schreiben:

Die Datenbits D0 bis D3 können frei programmiert werden.

Lesen:

Die Datenbits D0 und D1 geben codiert den *aktuell* anliegenden Interrupt mit der höchsten Priorität an (F0...F3).

Die Datenbits D2 und D3 werden immer als '1' gelesen.

Die Bits D4 bis D7 geben die vorher einprogrammierten Bits D0 bis D3 wieder.

Ablaufbeschreibung:

1. Zustand des Registers nach der fallenden Flanke des Select-Signals IRV* - **Schreiben**

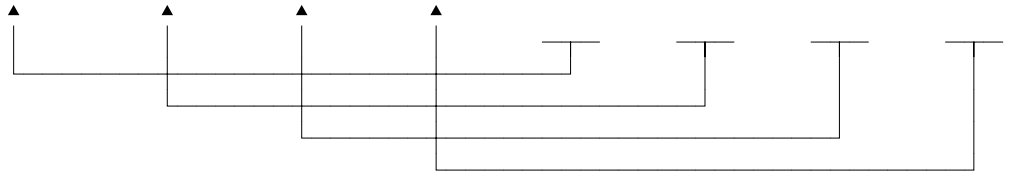
Datenbits

7	6	5	4	3	2	1	0
D3 stored	D2 stored	D1 stored	D0 stored	**D3 input**	**D2 input**	**D1 input**	**D0 input**
don‘t care	don‘t care	don‘t care	don‘t care	**input**	**input**	**input**	**input**

2. Zustand des Registers nach der steigenden Flanke des Select-Signals IRV* - **Schreiben**

Datenbits

7	6	5	4	3	2	1	0
D3 stored	D2 stored	D1 stored	D0 stored	**D3 input**	**D2 input**	**D1 input**	**D0 input**



shift D0...D3 ==▸ D4...D7 and store

3. Zustand des Registers beim Lesen im Interrupt-Acknowledge-Zyklus - **Lesen**

Datenbits

7	6	5	4	3	2	1	0
D3 stored	D2 stored	D1 stored	D0 stored	1	1	Fcy transp	Fcx transp

aktueller Interrupt der höchsten Prio:

immer auf '1'

programmierte Datenbits für Interrupt-Vektor

Fcy	Fcx	Interrupt
0	0	F0
0	1	F1
1	0	F2
1	1	F3

1.6.3.2 Auslösen eines lokalen Interrupts über das PAL GIRL

Der lokale Interrupt des GIRL-PALs wird ähnlich dem VMEbus-Interrupt des PIT 68230 ausgelöst. Durch das Anlegen von Adressen werden die vier Interrupt-Signale (F0...F3) auf low (‘0‘) oder auf high (‘1‘) gesetzt. Im Gegensatz zum PIT löst das GIRL-PAL jedoch nicht bei einem Flankenwechsel der Interrupt-Signale einen IRQ aus, sondern beim High-Pegel.

Der Zugriff auf die Signale F0...F3 erfolgt durch das Anlegen entsprechender Adressen:

Signal	Funktion
IRFIRE*	‘Chip-Select‘
A1	A1=1 --▸ Fx=1 A1=0 --▸ Fx=0 (x = 0...3)
A2,A3,A4	Auswahl von F0...F3

Tabelle 1.6.5: Zugriff auf die GIRL-PAL-Eingänge F0...F3 über Adreßbits

Die Eingänge F0...F3 werden bei einem RESET auf ‘0‘ gesetzt. In der folgenden Tabelle sind die Adressen aufgeführt, die die entsprechenden H-Signale auf ‘1‘ oder ‘0‘ setzen.

Die über F0 und F1 gesetzten lokalen Interrupts sind für die Firmware reserviert!

Adresse	Interrupt-Signal	Pegel
$080001	(F0	==▸ 0)
$080003	(F0	==▸ 1)
$080005	(F1	==▸ 0)
$080007	(F1	==▸ 1)
$080009	F2	==▸ 0
$08000B	F2	==▸ 1
$08000D	F3	==▸ 0
$08000F	F3	==▸ 1

Tabelle 1.6.6: Setzen der GIRL-PAL-Eingänge F0...F3 über Adreßbits

1.6.4 VMEbus-Interrupt der parallelen Schnittstelle von P2

Der parallelen Schnittstelle der IGC-2M ist ein Interrupt-Eingang zugeordnet. Der Interrupt-Eingang wird auf den PIT 68230-Eingang H4 geführt und löst bei jedem Flankenwechsel einen VMEbus-Interrupt aus.
Über die Steckbrücke J6 kann H4 zusätzlich mit dem H4-Signal der VMEbus-Interrupt-Erzeugung belegt werden. In diesem Fall kann der Interrupt der parallelen Schnittstelle nicht genutzt werden (Doppelbelegung!).

Interrupts der parallelen Schnittstelle werden von der Firmware noch nicht unterstützt.

1.6.4 Lokaler Interrupt über P2 (EXIRQIN*)

Neben dem H4-Eingang ist auf P2 ein weiterer externer Interrupt-Eingang zugänglich. Im Gegensatz zum H4-Interrupt löst dieser Eingang einen Interrupt der lokalen CPU (auf Level 3 mit Auto-Vektor) aus.

Die Freigabe des VMEbus-Interrupts wird über das PIT-Port PA6 gesteuert. Nach einem RESET ist das PIT-Port 'HIGH' und der Interrupt freigegeben. Wird das Port auf '0' gesetzt, so ist der externe Interrupt verriegelt.

Der EXIRQIN-Interrupt wird von der Firmware nicht unterstützt.

1.7 Watchdog-Schaltung

Der verwendete Watchdog-Baustein LTC1235 hat folgende Aufgaben:

1. Erzeugung des RESET-Signals bei POWER-UP

2. Erzeugung des RESET-Signals bei fehlendem Watchdog-Trigger. Diese Funktion ist bei eingesetzter Firmware lokal immer wirksam.

3. Erzeugung eines RESET-Signals bei Unterschreitung der Betriebsspannungs-Toleranz.

Wird der Watchdog einmal getriggert, muß er innerhalb von ca. 1,0 Sekunden nachgetriggert werden.
Nachgetriggert wird der Watchdog durch Schreiben oder Lesen auf das WATCHDOG-Register $A0000 (siehe Mapping: ‘Address-Belegung der IGC-2M‘).

1.8 Externe Erzeugung eines lokalen RESET (VFR)

Der Anwender hat die Möglichkeit, über den VMEbus auf der IGC-2M einen Hardware-RESET zu erzeugen.
Die RESET-Leitung der lokalen CPU wird hierbei über die Hardware auf ‘LOW‘ (0V) gezogen.

Die RESET-Leitung wird durch das Schreiben eines ‘Dummy-Bytes‘ auf folgende Adresse (relativ zur Basisadresse der IGC-2M) aktiviert:

RESET: $87001

Wird ein RESET ausgelöst, bricht die lokale CPU alle laufenden Programme ab. Das lokale System wird neu initialisiert. Alle aktuellen Daten des Betriebssystems gehen verloren.

Aktuelle Parametersätze der Firmware sind im geschützten Teil des SRAMs abgelegt und bleiben erhalten.

1.9 Der PIT 68230

Über die Pit-Ports werden auf der IGC-2M die Steckbrücken-Konfigurationsfelder J1 und J7 gelesen und die VMEbus-Interrupt-Logik gesteuert. Alternativ zur Auswertung von J1 kann mit Port B die parallele Schnittstelle auf P2 gesteuert werden.

1.9.1 Belegung von Port A des PIT

Die Eingangsbits von Port A werden über das Port A-Alternate-Register gelesen.

Adresse: 086015 HEX (Alternate-Register)

Die Ausgangsbits von Port A werden über das Port A-Datenregister angesprochen.

Adresse: 086011 HEX (Data-Register)

Das Data Direction-Register des Port B muß bei Nutzung des Data-Registers entsprechend der gewünschten Datenrichtung gesetzt sein.

Adresse: 086005 HEX (Data Direction-Register)

Bit	Ein/Aus	Name	Funktion
PA0	Ausgang	PA0*	Festlegung des VMEbus-Interrupt-Level, siehe Abschn. 'Erzeugung eines VMEbus-Interrupts über den PIT 68230'
PA1	Ausgang	PA1*	
PA2	Ausgang	PA2*	
PA3	frei wählbar	PA3/P2	Frei nutzbare Port-Pins auf P2
PA4	frei wählbar	PA4/P2	
PA5	frei wählbar	PA5/P2	
PA6	Ausgang	PA6	Freigabe des externen Interrupts 'EXIRQIN'
PA7	Eingang	PA7	reserviert (Steckbrücke J7)

*...Signal ist 'low active'

Tabelle 1.9.1: PIT 68230-Port A

1.9.2 Belegung von Port B des PIT

Wird Port B genutzt, um die Konfigurationssteckbrücke J1 zu lesen, so erfolgt der Zugriff über das Port B-Alternate Register. Dieses Register kann nur gelesen werden.

Adresse: 086017 HEX (Alternate-Register)

Bit	Ein/Aus	Name	Funktion	
PB0	Eingang	D0	frei	siehe auch Abschnitt 'Steckbrückenbelegung'/ 'Konfigurationsfeld (J1)'
PB1	Eingang	D1	frei	
PB2	Eingang	D2	frei	
PB3	Eingang	D3	frei	
PB4	Eingang	D4	frei	
PB5	Eingang	D5	frei	
PB6	Eingang	D6	frei	
PB7	Eingang	D7	frei	

Tabelle 1.9.2: PIT 68230-Port B - Konfigurationssteckbrücke

Port B kann alternativ hierzu zur Steuerung einer parallelen Schnittstelle genutzt werden. In diesem Fall wird es über das Port B-Data Register angesprochen.

Adresse: 086013 HEX (Data-Register)

Das Data Direction-Register des Port B muß bei Nutzung des Data-Registers entsprechend der gewünschten Datenrichtung gesetzt sein.

Adresse: 086007 HEX (Data Direction-Register)

Das Port B kann bidirektional betrieben werden, da es direkt mit dem Stecker P2 verbunden ist. Jede der 8 Port-Leitungen ist mit einem 4k7-Pull-Up-Widerstand an VCC angeschlossen. Die Steckbrücken von J1 sollten, wenn Port B als parallele Schnittstelle genutzt wird, alle offen sein!

Bit	Ein/Aus	Name	Funktion
PB0	frei wählbar	D0	Datensignale der parallelen Schnittstelle
PB1	frei wählbar	D1	
PB2	frei wählbar	D2	
PB3	frei wählbar	D3	
PB4	frei wählbar	D4	
PB5	frei wählbar	D5	
PB6	frei wählbar	D6	
PB7	frei wählbar	D7	

Tabelle 1.9.3 PIT 68230-Port B - parallele Schnittstelle

1.9.3 Belegung von Port C des PIT

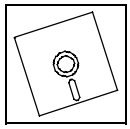
Die Port C-Pins werden zur VMEbus-Interrupt-Erzeugung und als Timer benutzt.

Die Programmierung der einzelnen Bits ist dem Handbuch des PIT 68230 zu entnehmen. Die Registeradressen sind relativ zur Basisadresse des PIT zu betrachten. (Die Register-Select-Pins RS1...RS5 sind mit den lokalen Adreßbits A1...A5 verbunden. Der Zugriff erfolgt als 'Byte' auf ungerade Adressen (lokal LDS=0).)

Bit	Ein/Aus	Name	Funktion
PC0	Eingang	PC0	Über PC0 bis PC2 kann der aktuelle Pegel der H-Eingänge gelesen werden. Sie sind parallel zu H1(PC0), H2(PC1) und H3(PC3) geschaltet (siehe auch Abschnitt 'Erzeugung eines VMEbus-Interrupts über den PIT 68230').
PC1	Eingang	PC1	
PC2	Eingang	PC2	
PC3	Ausgang	TIRQ*	Timer-IRQ, s.a. Datenblatt PIT 68230
PC4	Ausgang	GIRQ*	reserviert
PC5	Ausgang	PITIRQ*	Auslösen des VMEbus-IRQ, s.a.'Erzeugg. e. VMEbus-Interrupts ü. PIT'
PC6	Eingang	PIACK*	VME-IRQ-Acknowledge, s.a.'Erzeugg. e. VMEbus-Interrupts ü. PIT'
PC7	Eingang	TIACK*	Timer-Interrupt-Acknowledge, s.a. Datenblatt PIT 68230

*...Signal ist 'low active'

Tabelle 1.9.4: PIT 68230-Port C



2. Software

2.1 Betriebssystem, Firmware

Die IGC-2M ist in der Standard-Version mit folgender Software ausgestattet:

Betriebssystem RTOS/UH-PEARL
Grafik-Treiber für ACRTC
Window-Manager WiM
Treiber für Maus-Anschluß (MS oder GENIUS)
Tastaturtreiber für IBM-MF2 kompatible Keyboards

Die Beschreibung der Software ist in separaten Handbüchern aufgeführt.

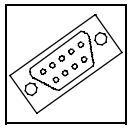
2.2 Für den Anwender frei verfügbare Baugruppen

Ist keine zusätzliche Firmware wie in Abschn. 2.1 beschrieben installiert, so stehen dem Anwender folgende Baugruppen zur freien Verfügung:

- DUART 2681: Eine RS232-Schnittstelle (P5)

- PIT 68230: Port PA3 bis PA5 (auf I/O-Stecker P2 geführt),
  Port PB0 bis PB7 (falls Konfigurationssteckbrücke J1 nicht benutzt über I/O-Stecker P2 als parallele Schnittstelle nutzbar),
  VMEbus-Slave-Interrupt-Logik

- lokale Interrupts (GIRL-PAL) über VMEbus
  (Ausnahme: F0 und F1-Interrupt)



3. Anhang

3.1 Steckerbelegungen

3.1.1 VMEbus (P1)

Pin	Reihe a	Reihe b	Reihe c
1	DATA 0	-	DATA 8
2	DATA 1	-	DATA 9
3	DATA 2	-	DATA 10
4	DATA 3	BG0 IN*]	DATA 11
5	DATA 4	BG0 OUT*]	DATA 12
6	DATA 5	BG1 IN*]	DATA 13
7	DATA 6	BG1 OUT*]	DATA 14
8	DATA 7	BG2 IN*]	DATA 15
9	GND	BG2 OUT*]	GND
10	-	BG3 IN*]	-
11	GND	BG3 OUT*]	-
12	DS1*	-	SYSRESET*
13	DS0*	-	LWORD*
14	WRITE*	-	AM5
15	GND	- *	ADDR 23
16	DTACK*	AM0	ADDR 22
17	GND	AM1	ADDR 21
18	AS*	AM2	ADDR 20
19	GND	AM3	ADDR 19
20	IACK*	GND	ADDR 18
21	IACKIN*	-	ADDR 17
22	IACKOUT*	-	ADDR 16
23	AM4	GND	ADDR 15
24	ADDR 7	IRQ7*	ADDR 14
25	ADDR 6	IRQ6*	ADDR 13
26	ADDR 5	IRQ5*	ADDR 12
27	ADDR 4	IRQ4*	ADDR 11
28	ADDR 3	IRQ3*	ADDR 10
29	ADDR 2	IRQ2*	ADDR 9
30	ADDR 1	IRQ1*	ADDR 8
31	-12V	-	+12V
32	+5V	+5V	+5V

Messerleiste nach DIN41612 Bauform C96/a+b+c
Imax per Pin: 1,0A

-....Pin ist auf der Platine nicht belegt

]....Signale sind auf der Platine gebrückt

*....Signal ist 'low active'

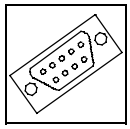
3.1.2 I/O-Stecker (P2) (Reihe b = VMEbus)

Pin	Reihe a	Reihe b	Reihe c
1	GND	+5V	GND
2	GND	GND	CSYNC/P2
3	PB7	-	GND
4	PB6	ADDR 24	RED(VIDEO)
5	PB5	ADDR 25	GND
6	PB4	ADDR 26	GREEN(VIDEO)
7	PB3	ADDR 27	GND
8	PB2	ADDR 28	BLUE(VIDEO)
9	PB1	ADDR 29	GND
10	PB0	ADDR 30	-
11	GND	ADDR 31	DORI/P2
12	H4	GND	GNDA
13	+5V	+5V	GNDA
14	EXIRQIN*	-	+5V/ANA
15	PA5	-	GNDA
16	PA4	-	/DO/RI/P2
17	PA3	-	VSYNC/P2
18	GND	-	GND
19	TXDA/P2	-	INTENS/P2
20	DTRA/P2	-	+5V
21	-	-	GND
22	RTSA/P2	GND	GND
23	CTSA/P2	-	GREEN(RGB)
24	RXDA/P2	-	GND
25	-	-	RED(RGB)
26	-	-	GND
27	GND	-	BLUE(RGB)
28	LPSTB	-	GND
29	RXDB/P2	-	H/CSYNC/P2
30	RTSB/P2	-	GND
31	TXDB/P2	GND	-
32	-	+5V	-

Messerleiste nach DIN41612 Bauform C96/a+b+c
Imax per Pin: 1,0A

-....Pin ist auf der Platine nicht belegt
*....Signal ist 'low active'

Signalbeschreibungen siehe nächste Seite.



Signalbeschreibungen zu 'I/O-Stecker P2' und 'I/O-Übergabemodul für P2':

I/O-Ports und Interrupt-Eingänge:

PA3...PA5...	PIT 68230-Ports PA3, PA4 und PA5 - frei nutzbar (direkt an PIT, Pull-Up 4k7)
PB0...PB7...	PIT 68230-Ports PB0 bis PB7 für parallele Schnittstelle vorgesehen (direkt an PIT und parallel an J1, Pull-Up 4k7)
H4...	PIT 68230-Interrupt-Eingang H4 (direkt an PIT und an J6, Pull-Up 4k7)
EXIRQIN*...	Interrupt-Eingang der parallelen Schnittstelle

Serielle Schnittstellen:

TXDA/P2, DTRA/P2, RTSA/P2, CTSA/P2, RXDA/P2...	Maus-Interface, gesteuert von DUSCC 68562/ Kanal 'A', liegt parallel auf P2 und auf 9pol DSUB (P3) in Frontplatte
TXDB/P2, RTSB/P2, RXDB/P2...	RS232-Schnittstelle 'B', gesteuert von DUSCC 68562/ Kanal 'B'; nur nutzbar, wenn PDVbus-Interface und Tastatur-Interface nicht genutzt werden
GNDA, +5V/ANA, DORI/P2, /DO/RI/P2...	PDVbus-Interface, gesteuert von DUSCC 68562/ Kanal 'B'; nur nutzbar, wenn RS232-Schnittstelle 'B' und Tastatur-Interface nicht genutzt werden (Bei Platinenversion IGC-2M ist die PDVbus-Schnittstelle nicht bestückt!)

Grafik-Anwendungen:

LPSTB...	Light Pen-Anschluß, an ACRTC HD63484/Pin 68 angeschlossen (wird von der lokalen Firmware zur Zeit nicht unterstützt)
RED(VIDEO), GREEN(VIDEO), BLUE(VIDEO), CSYNC/P2...	Video-Ausgänge, (abgeschlossen mit R=75Ω)
RED(RGB), GREEN(RGB), BLUE(RGB), INTENS/P2, VSYNC/P2, H/CSYNC/P2...	RGB-Ausgänge

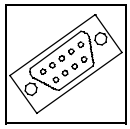
3.1.3 I/O-Übergabemodul für P2: Phönix FLKM64 oder FLKMS64

Pin	Reihe a	Pin	Reihe c
2	GND	1	GND
4	GND	3	CSYNC/P2
6	PB7	5	GND
8	PB6	7	RED(VIDEO)
10	PB5	9	GND
12	PB4	11	GREEN(VIDEO)
14	PB3	13	GND
16	PB2	15	BLUE(VIDEO)
18	PB1	17	GND
20	PB0	19	-
22	GND	21	DORI/P2
24	H4	23	GNDA
26	+5V	25	GNDA
28	EXIRQIN*	27	+5V/ANA
30	PA5	29	GNDA
32	PA4	31	/DO/RI/P2
34	PA3	33	VSYNC/P2
36	GND	35	GND
38	TXDA/P2	37	INTENS/P2
40	DTRA/P2	39	+5V
42	-	41	GND
44	RTSA/P2	43	GND
46	CTSA/P2	45	GREEN(RGB)
48	RXDA/P2	47	GND
50	-	49	RED(RGB)
52	-	51	GND
54	GND	53	BLUE(RGB)
56	LPSTB	55	GND
58	RXDB/P2	57	H/CSYNC/P2
60	RTSB/P2	59	GND
62	TXDB/P2	61	-
64	-	63	-

Imax per Pin: 1,0A

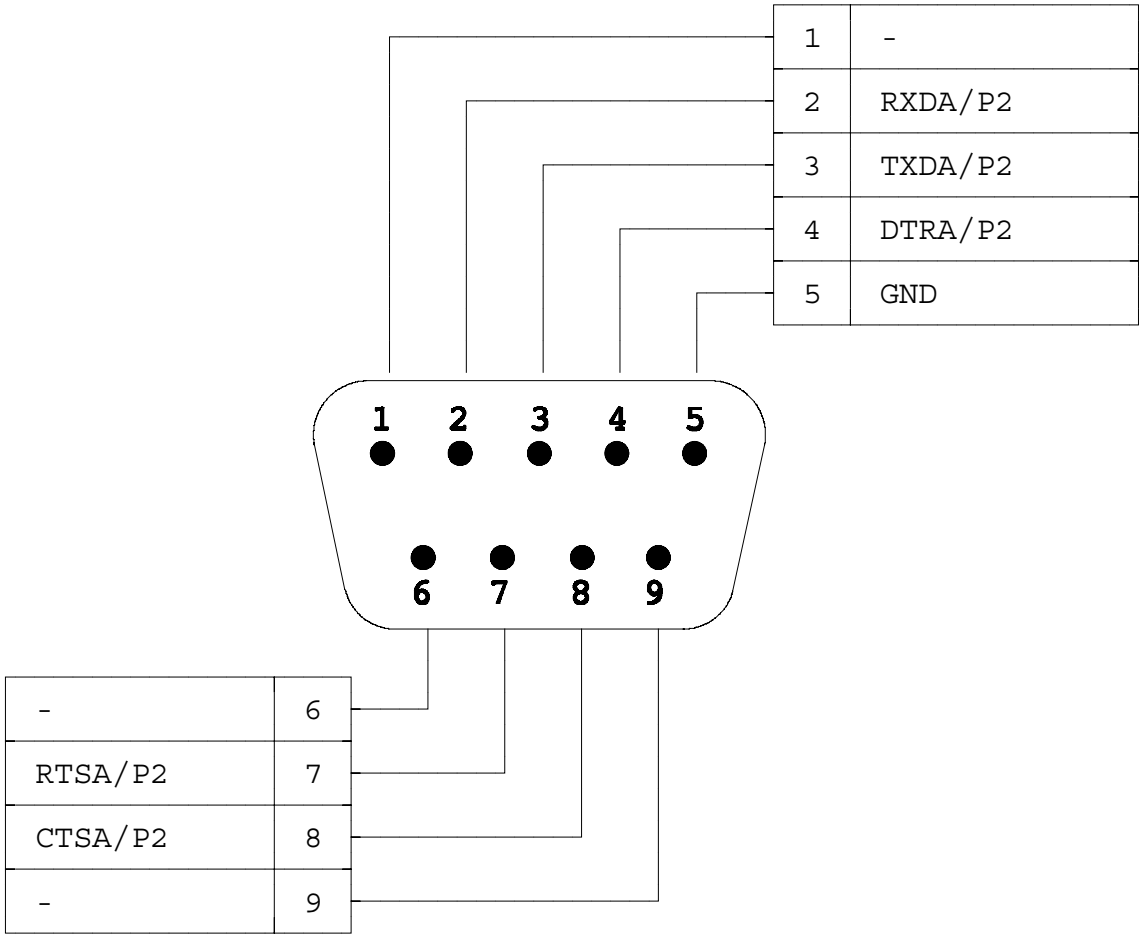
-....Pin ist auf der Platine nicht belegt
*....Signal ist 'low active'

Signalbeschreibungen siehe vorhergehende Seite.



3.1.4 Maus-Interface (P3)

Das Maus-Interface wird über Kanal 'A' des DUSCC 68562 gesteuert. Das Interface ist parallel auf P2 und den 9poligen DSUB-Stecker P3 (Stifte) in der Frontplatte gelegt.



3.1.5 Tastatur-Interface (P4)

Das Tastatur-Interface wird über Kanal 'B' des DUSCC 68562 gesteuert. Zu beachten ist, daß dieser Kanal des DUSCC parallel dazu die RS232-Schnittstelle 'B' und die PDVbus-Schnittstelle auf P2 versorgt. (Bei der Platinenversion IGC-2M ist die PDVbus-Schnittstelle nicht bestückt.)

Das Tastatur-Interface und der Tastatur-Treiber sind für handelsübliche IBM-MF2 kompatible Tastaturen (z.B. Cherry G80-3000) ausgelegt.

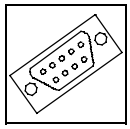
Der Tastaturstecker P4 (6polige Mini-DIN-Buchse) ist über die Frontplatte der Platine zugänglich. Zum Anschluß an Tastaturen mit Dioden-Stecker sind Adapterkabel erhältlich.

Pin	Signal
1	TXD/T
2	RESET/T*
3	GND
4	+5V
5	RTS/T
6	-

Belegung der 6poligen Mini-DIN-Buchse

Pin	Signal
1	RTS/T
2	TXD/T
3	RESET/T*
4	GND
5	+5V

Belegung einer 5poligen Dioden-Buchse



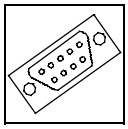
3.1.6 RS232-Schnittstelle 'C' (P5)

Die serielle Schnittstelle 'C' wird über den DUART SCN 2681 bedient. Die über den 10poligen Pfostenstecker P5 zugängliche Schnittstelle ist zum Terminal-Anschluß für Programmier- und Service-Anwendungen vorgesehen.

Pin	Signal
1	-
2	-
3	RXDC/P5
4	(RTS) *1)
5	TXDC/P5
6	-
7	(DTR) *1)
8	-
9	GND
10	-

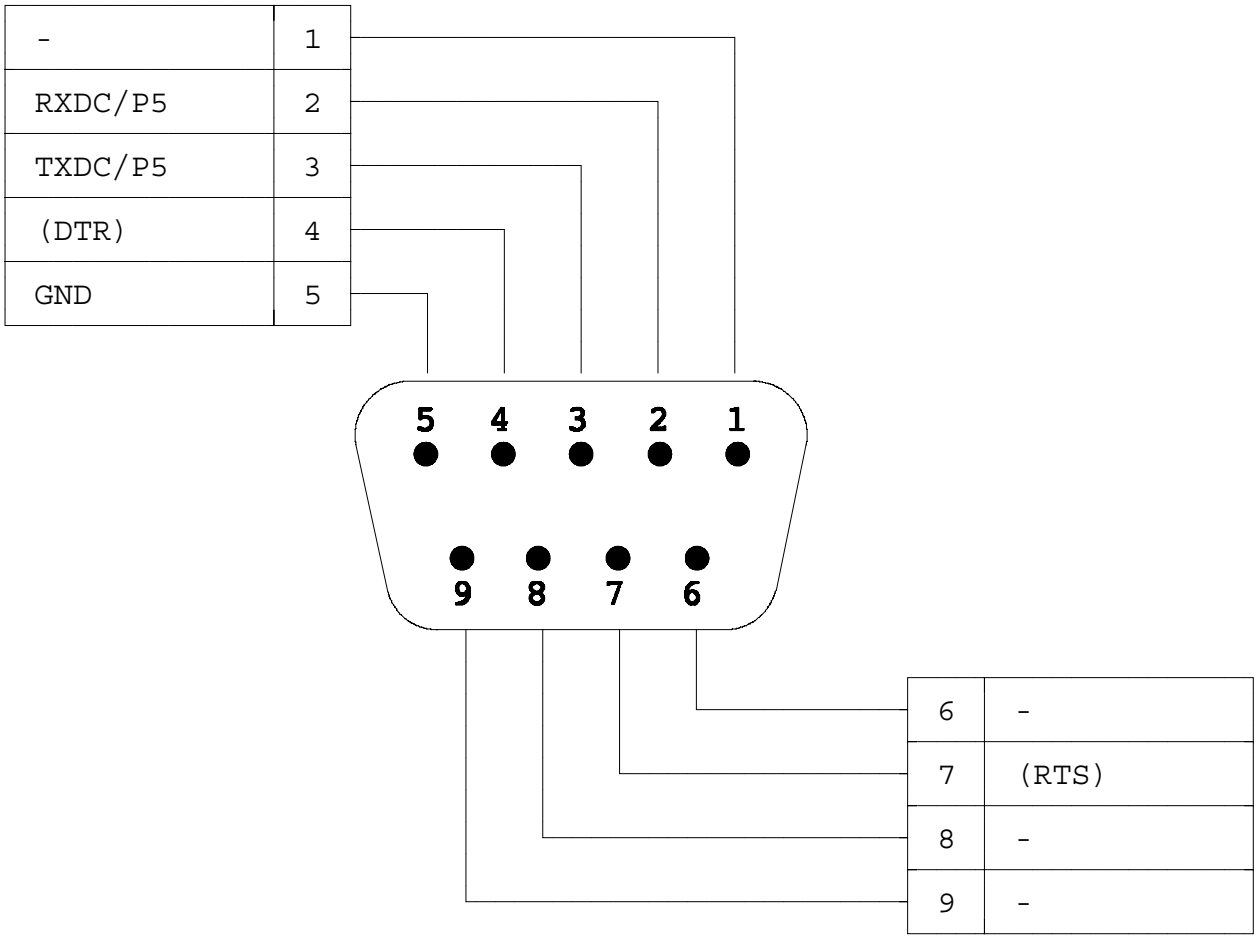
Belegung des 10poligen Pfostensteckers

*1)... Diese Signale sind auf der Platine jeweils über einen 100Ω-Widerstand an +12V gelegt. Sie werden von DUART 2681 nicht gesetzt.

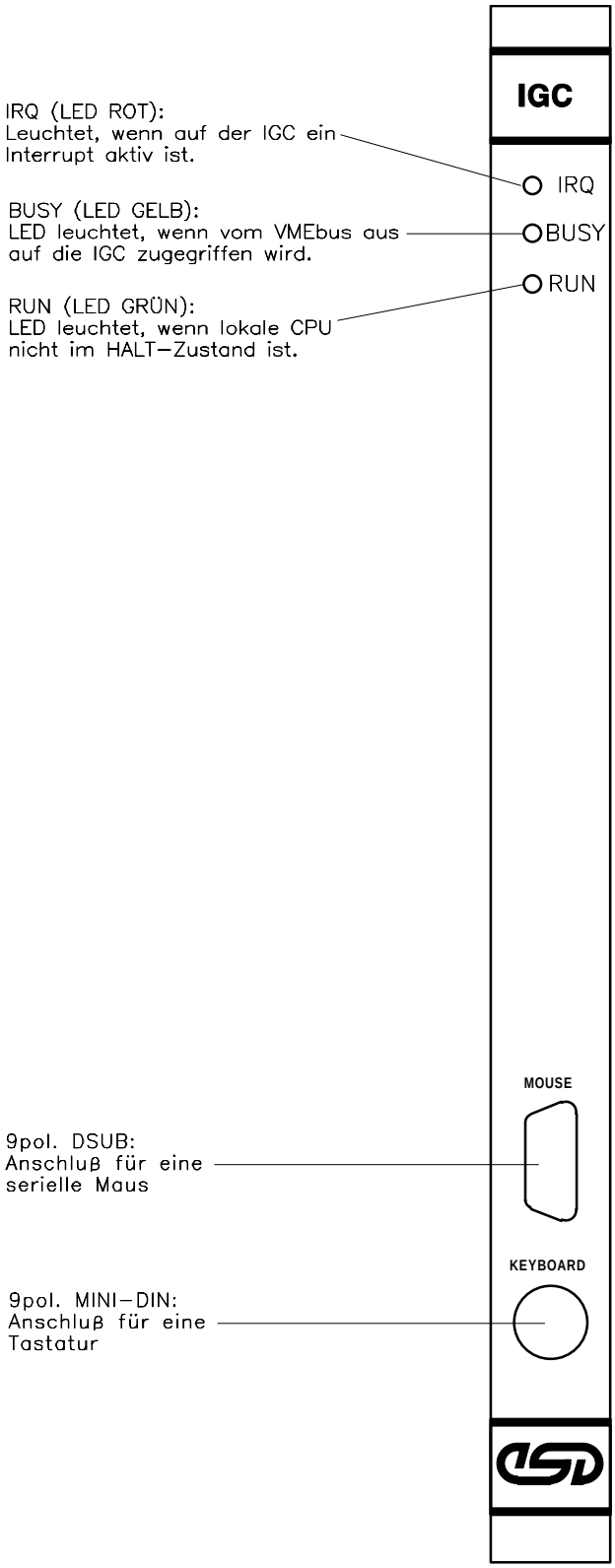


Steckerbelegung

Belegung einer 9poligen DSUB-Buchse mit der RS232-Schnittstelle 'C' bei Flachkabelverbindung 1:1 von 10pol. Pfosten- auf 9pol. DSUB-Stecker:



3.2 Frontplatte



3.3 Stromlaufpläne

3.4 Datenblätter